

LCS700-708 HiperLCS™ ファミリー



高耐圧パワー MOSFET 及びドライバー 内蔵型 LLC コントローラ

製品ハイライト

主な内容

- コントローラ、ハイサイド/ローサイド ゲート ドライブ、高耐圧パワー MOSFET を組み込んだ LLC ハーフブリッジ コンバータ
 - 外付け部品点数を最大 30 個削減可能
- 最大動作周波数 1 MHz
 - 最大 500 kHz の定格定常動作
 - 磁性部品のサイズを大幅に削減し、SMD セラミック出力コンデンサが使用可能
- 精密なデューティの対称性により、出力ダイオード電流が均等になり効率を改善
 - 通常 300 kHz で 50% ± 0.3%
- 包括的な異常時の保護動作と電流制限動作
 - プログラム可能な起動/停止スレッシュホールド及びヒステリシス
 - 低電圧 (UV) 及び過電圧 (OV) 保護
 - ユーザー設定可能な過電流保護 (OCP)
 - 短絡保護 (SCP)
 - 過熱保護 (OTP)
- 最適設計のためのユーザー設定可能なデッドタイム
- ユーザー設定可能なバースト モードにより無負荷時のレギュレーションを維持し、軽負荷時効率を改善
- ユーザー設定可能なソフトスタート時間及びソフトスタート開始ディレイ タイム
- ユーザー設定可能かつ高精度な最小及び最大の周波数制御
- 高出力及び高周波用に設計された単一パッケージ
 - 組立コストを削減し基板レイアウト ループ エリアを削減
 - ヒートシンクへの簡単な取り付け
 - ピン配列を交互にずらすことで、プリント基板の配線が簡素化し高電圧動作の沿面要件にも対応
- HiperPFS PFC 製品と併用することで、完全かつ高効率でありながら部品点数の少ない PSU ソリューションが得られる

用途

- 高効率電源 (80 PLUS SILVER、GOLD、PLATINUM)
- LCD TV 電源
- LED 街路灯及び屋外照明
- プリンタ電源
- オーディオ アンプ

概要

HiperLCS は、多機能コントローラ、ハイサイド/ローサイド ゲート ドライブ、及びハーフブリッジ接続された 2 つのパワー MOSFET を組み込んだ LLC コンバータ用集積回路です。図 1 に、共振インダクタがトランスに内蔵された HiperLCS ベースの LLC コンバータの概略回路図を示します。

可変周波数コントローラでは、パワー MOSFET をゼロボルト (ZVS) でスイッチングすることで効率を高め、スイッチング損失を削減しています。

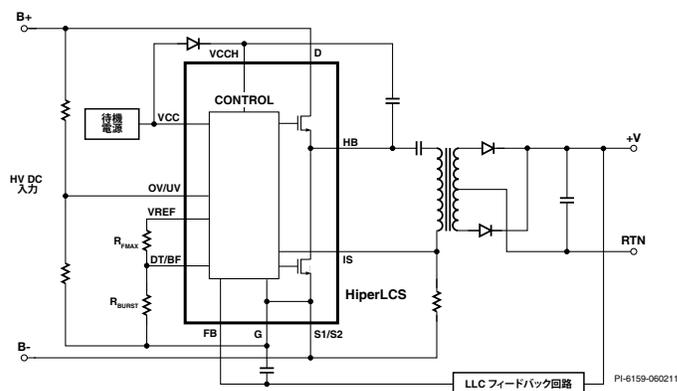


図 1. 標準的なアプリケーション回路 – LCD TV 及び PC の主電源

出力電力テーブル

製品	最大実用電力 ¹
LCS700HG/LG	110 W
LCS701HG/LG	170 W
LCS702HG/LG	220 W
LCS703HG/LG	275 W
LCS705HG	350 W
LCS708HG	440 W

テーブル 1. 出力電力テーブル

注:

1. 最大実用電力は、部品をヒートシンクに適切に取り付け、ヒートシンクの最大温度が 90 °C である場合に供給できる電力です。

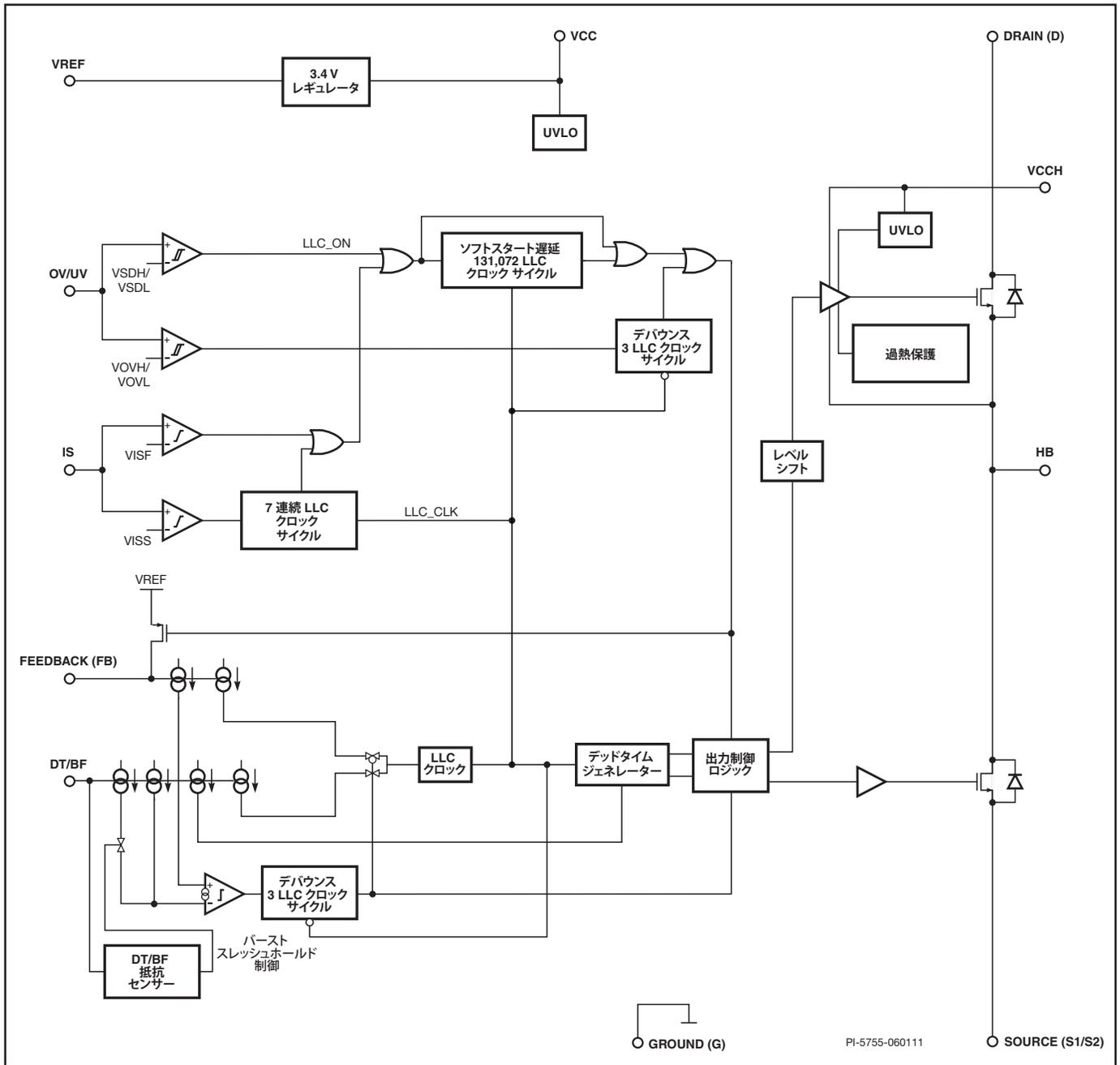


図 2. ブロック図

ピン機能の説明

VCC ピン

IC の電源ピン。標準的な応用例では、VCC は 5 Ω 抵抗経路で 12 V システム待機電源に接続されます。この抵抗によってフィルタが提供され、ノイズ耐性が改善されます。

注: システム待機電源のリターンは GROUND ピンではなく B- バスに接続する必要があります。

VREF ピン

3.4 VREF ピン。内部の基準電圧の1つとして、FEEDBACK ピン及び DT/BF ピンのプルアップ抵抗に電圧を供給します。

GROUND (G) ピン

G はすべてのアナログ小信号のリターン ノードです。小信号ピンのバイパス コンデンサ (D-S 高電圧バイパス コンデンサ及び VCCH バイパス コンデンサは除く) は、すべてこのピンに接続し、その配線は短くする必要があります。内部で SOURCE ピンに接続して、スター型接続を提供します。**基板レイアウトでは、GROUND ピンを SOURCE ピンまたは B- バスに接続しないでください。**

OV/UV ピン

過電圧/低電圧ピン。B+ は抵抗分割回路を通してこのピンで検出されます。OV/UV ピンはヒステリシスを有し、起動、停止、及び過電圧検出を実現します。このピンをグラウンドにプルダウンするとリモートオフ機能が実行されます。

FEEDBACK (FB) ピン

このピンに供給される電流によって LLC スイッチング周波数が決まります。つまり、電流が大きくなるほどスイッチング周波数も高くなります。通常のスイッチング時、このピンの V-I 特性は、グラウンドに対してのダイオードと等価です。VREF ピンと FEEDBACK ピンの間の RC 回路によって、最小動作周波数、起動周波数、ソフトスタート時間、及び起動開始ディレーが決まります。

DEAD-TIME/BURST FREQUENCY (DT/BF) ピン

VREF からグラウンドへの抵抗分割回路によって、デッドタイム、起動時の最大スイッチング周波数、及びバーストモード スレッシュホールド周波数が決まります。

CURRENT-SENSE (IS) ピン

CURRENT-SENSE ピンは、電流センス抵抗またはコンデンサ分割回路、センス抵抗回路を通してトランス一次電流を検出し、過負荷状態または異常状態を検出するために使用されます。グラウンドに対しダイオードが逆接続されているような構成になっており、逆電流が 5 mA 未満に制限されている場合は、負のパルスがピンに入力されることを回避するための整流回路は必要ありません。

SOURCE (S1)、(S2) ピン

内部ローサイド MOSFET の SOURCE ピン。これらのピンは、同一パターンに接続し、PFC 整流コンデンサまたは入力高電圧 DC リターンを介して B- に接続する必要があります。

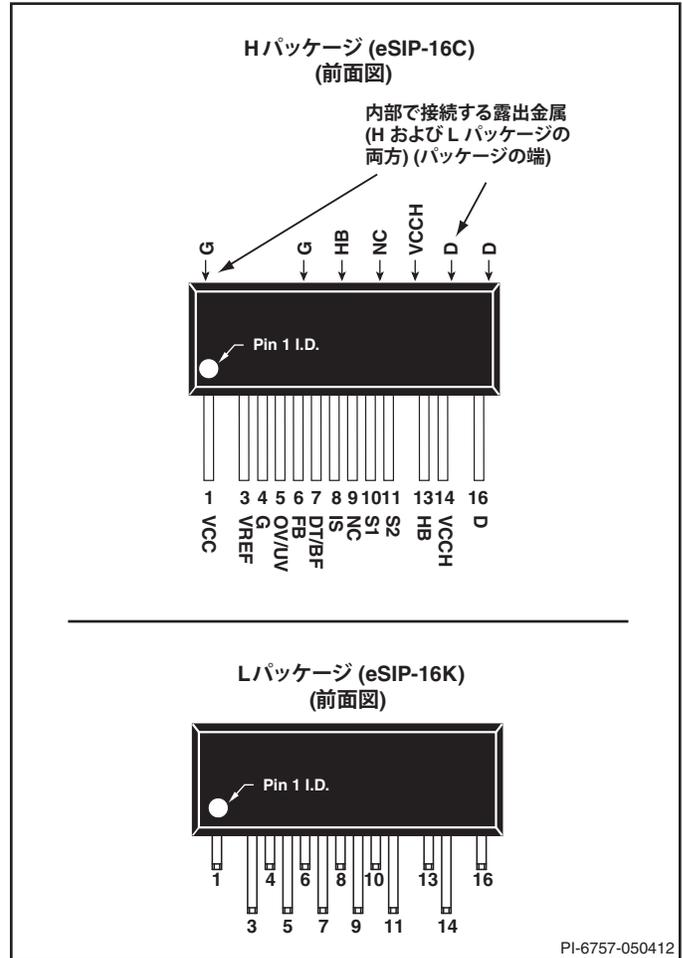


図 3. ピン番号及び指示

HB ピン

これはハーフブリッジ接続 MOSFET (ハイサイド MOSFET のソース、ローサイド MOSFET のドレイン) の出力で、LLC パワー伝送部 (トランスの一次及び直列共振コンデンサ) に接続します。

VCCH ピン

LLC ハイサイド ドライバのフローティング ブートストラップ供給ピン。このピンは HB ピンに対する基準となり、HB ピンは内部でハイサイド MOSFET の SOURCE ピンに接続されます。VCCH ピンと HB ピンの間のバイパス/ストレージ コンデンサ、及び待機電源からの直列抵抗が付いたブート ストラップ ダイオードが必要です。ストレージ コンデンサは、ローサイドの MOSFET がオンになるか寄生 (ボディ) ダイオードが導通するたびに充電されます。

DRAIN (D) ピン

内部ハイサイド MOSFET の DRAIN ピン。これは、PFC 整流コンデンサまたは入力高電圧 DC バスを介して B+ に接続します。

HiperLCS 基本動作

HiperLCS は、ハーフブリッジ LLC コンバータ用に設計されています。これは、高効率共振可変周波数コンバータです。HiperLCS は、ドライバ及びハーフブリッジ MOSFET が組み込まれた LLC コントローラ チップです。

LLC コンバータには、スイッチング ハーフサイクル間の固定デッドタイムが必要です。デッドタイム、起動時の最大周波数、及びバースト スレッシュホールド周波数は、VREF から GROUND ピンへの抵抗分割回路によって DT/BF ピンでプログラムされます。

FEEDBACK (FB) ピンはフィードバック ループの周波数制御入力です。周波数は FEEDBACK ピン電流に比例します。FEEDBACK ピン V-I 特性は、グラウンドに対してダイオードと等価です。

バースト モード

FEEDBACK ピン電流による周波数が、DT/BF ピンの抵抗分割回路によってプログラムされた上側のバースト スレッシュホールド周波数 (f_{STOP} , I_{STOP}) を超えた場合、出力 MOSFET はオフになり、電流が下側のバースト スレッシュホールド周波数 (f_{START} , I_{START}) に等しい周波数に対応する値を下回った時にスイッチングが再開されます。バースト モード制御は周波数が f_{START} から f_{STOP} に上昇、停止を繰り返す自動復帰型コントローラのように動作します。VREF ピンから FEEDBACK ピンに接続された外部部品の回路によって最小及び起動 FEEDBACK ピン電流が決まるため、最小及び起動スイッチング周波数が決まります。この回路のソフトスタート コンデンサによってソフトスタート タイミングが決まります。

VREF ピンによって、この FEEDBACK ピン外部回路及びその他の機能の基準電圧として定格 3.4 V が供給されます。このピンからの最大電流は、4 mA 以下とする必要があります。

DEAD-TIME/BURST FREQUENCY (DT/BF) ピンにもグラウンドに対してダイオードの V-I 特性を有します。VREF から GROUND への抵抗分割回路によって、デッドタイム、起動時の最大スイッチング周波数 (f_{MAX})、及びバースト スレッシュホールド周波数が決まります。抵抗分割回路から DT/BF ピンへ流れる電流によって f_{MAX} が決まります。抵抗の比率によっては 3 つの個別のバースト スレッシュホールド周波数が選択されます。これらは f_{MAX} からの比率で規定されます。

OV/UV ピンは、抵抗分割回路を通して高電圧 B+ 入力を検出し、ヒステリシスを有し、起動、停止、及び OV を実現します。これらの電圧の比率は固定です。抵抗分割回路比率の選択は、起動電圧が最小定格整流入力電圧以下に、OV リスタート電圧が最大定格整流電圧設定ポイント以上に設定する必要があります。起動、停止、及び OV に異なる比率が必要な場合は、抵抗分割回路に外付け回路を追加する必要があります。

VCC ピン UVLO

VCC ピンには、ヒステリシス付き内部 UVLO 機能があります。HiperLCS は、電圧が VCC 起動スレッシュホールド $V_{UVLO(+)}$ を超えるまで起動しません。VCC が VCC シャットダウン スレッシュホールド $V_{UVLO(-)}$ まで低下すると、HiperLCS はオフになります。

VCCH ピン UVLO

VCCH ピンはハイサイド ドライバの供給ピンです。また、VCC ピンと同等の UVLO 機能 (スレッシュホールド値が VCC ピンのものより低い) があります。VCCH ピンはブートストラップ ダイオード及び VCC 電源からの電流制限抵抗によって供給されるため、VCCH 電圧は VCC をわずかに下回ることになります。

起動及びオートリスタート

起動前は FEEDBACK ピンは内部で VREF ピンまで引き上げられ、ソフトスタート コンデンサが放電していて、出力 MOSFET はオフになっています。起動すると出力が f_{MAX} でスイッチングを開始し、内蔵プルアップ トランジスタがオフになり、ソフトスタート コンデンサが充電され始めると、FEEDBACK ピンの電流が減少し、スイッチング周波数が低下し、出力電圧が上昇します。出力が電圧設定ポイントに到達すると、フォトプラが導通し、ループを閉じて出力を制御します。

VCC ピンが起動する毎に、電圧分割回路の比率を検出してバースト スレッシュホールドを選択するために、DT/BF ピンが 500 μ s の間、高インピーダンス モードになります。この設定は、次の VCC の起動まで保存されます。その後、DT/BF ピンはグラウンドに対しダイオードに似た通常のモードになり、検出された電流によって f_{MAX} 周波数が設定されます。バースト スレッシュホールド周波数は f_{MAX} からの固定の比率で設定されます。FEEDBACK ピン内蔵プルアップがオンになるたびに、内部発振器によって f_{MAX} で内部カウンタが動作します。

IS ピン、OV/UV ピン、または VCC ピン (UVLO) で異常が検出された場合、FEEDBACK ピン内蔵プルアップ トランジスタは 131,072 クロック サイクルの間オンになり、ソフトスタート コンデンサが完全に放電してからリスタートを試みます。VCC 再起動後の最初の起動は、VCC の起動後初めて OV/UV ピンが起動電圧を上回った状態を含めて 1,024 サイクルだけ待機します。

リモートオフ

リモートオフを動作させるには、OV/UV ピンをグラウンドに引き下げるか、0.9 V を超えるように IS ピンを引き上げます。いずれの場合も、131,072 サイクル リスタート サイクルが起動します。VCC を引き下げてデバイスを停止することもできますが、引き上げた場合、FEEDBACK ピンが VREF ピンへ引き上げられ、1,024 f_{MAX} クロック サイクルだけソフトスタート コンデンサが放電されます。このスキームを使用する場合、設計者は VCC が引き下げられる時間に 1,024 サイクルを加えた時間でソフトスタート コンデンサの放電が十分であることを確認する必要があります。そうでない場合、下側の開始周波数が十分大きく、その結果として過電流保護が動作するような大電流が発生しないことを確認します。

電流センス

IS ピンは一次電流を検出します。このピンの動作は GROUND ピンへの逆接続されたダイオードに似ています。負電流が 5 mA 未満に制限されている場合は、負の電圧が許容されます。したがって、220 Ω 以上の電流制限抵抗を通して電流センス抵抗 (または一次コンデンサ電圧分割 + センス抵抗) に接続する必要があります。そのため、AC 波形の印加が可能であり、整流回路またはピーク検出器回路は必要ありません。7 サイクル連続で正のピーク電圧 0.5 V が IS ピンで検出された場合、オートリスタートが動作します。IS ピンには 0.9 V の 2 つ目の高いスレッシュホールドもあります。これによって、単一パルスのオートリスタートが動作します。両方の電圧スレッシュホールドの検出の最小パルス幅要求は定格 30 ns です。つまり、適切な検出のためにはスレッシュホールドを 30 ns を超える必要があります。

過熱シャットダウン

HiperLCS にはラッチタイプ OTP があります。動作を再開するためには、ユニットが OTP スレッシュホールドを下回り、VCCH が再充電される必要があります。

基本レイアウトのガイドライン

HiperLCS は高周波/パワー デバイスであり、最大のパフォーマンスを実現するには基板のレイアウトに特別な注意を払う必要があります。

バイパス コンデンサはピンへの配線の長さを最小にするために注意深く配置する必要があります。部品及び配線の寄生インダクタンスを最小限にするために、SMD 部品が推奨されます。

テーブル 2 で、フィルタ/バイパスが必要なピンの推奨されるバイパス コンデンサの値を示します。このテーブルでは、影響を受けやすいピンから順に示します。リストの一番上のピンのバイパス コンデンサは最も影響を受けやすいため、配線の長さを最小にするための配置に関しては、下側のピンのバイパス コンデンサよりも優先順位が高くなります。リストで最も影響を受けやすい 2 つのピン (つまり FEEDBACK ピンと DT/BF ピン) のノイズによって、それぞれデューティ サイクルとデッドタイム不均衡が発生します。

Pin	リターンピン	推奨値	注
FEEDBACK (FB)	GROUND	4.7 nF (250 kHz で)	低い定格周波数 (例: 100 kHz で 10 nF) では、比例して増加します。フィードバック ループ特性の一部である FEEDBACK ピン入力インピーダンスにより、ポールが形成されます。予想されるゲインのクロスオーバー周波数で過剰な位相シフトを引き起こしてはなりません。FEEDBACK ピンのノイズによって、デューティ サイクルの不均衡が発生します。
DEAD-TIME/BURST FREQUENCY (DT/BF)	GROUND	4.7 nF	このコンデンサと DT/BF ピンに接続されている抵抗の電源インピーダンスの時定数は 100 μ s 未満である必要があります。DT/BF ピンのノイズによって、デッドタイムの不均衡が発生します。
CURRENT SENSE (IS)	GROUND	1 nF (250 kHz で)	定格 LLC コンバータの動作周波数に対して、値が比例して変動します。推奨される 220 Ω 直列抵抗とともに RC ローパス フィルタを形成します。一次電流センスの AC 信号を減衰させてはなりません。
VCC	GROUND	1 μ F セラミック	
VREF	GROUND	1 μ F セラミック	
VCCH	HB	0.1 μ F - 0.47 μ F	ブートストラップ コンデンサ。ハイサイド MOSFET をオンにするハイサイドドライバに瞬間的な電流を提供します。ブートストラップ 電流制限抵抗 (ブートストラップ ダイオードと直列に接続された) を組み合わせて形成した時定数は、起動時の数スイッチング サイクルとバースト モード動作時の最初のスイッチング サイクルにおいて VCCH UVLO の遅延を発生させます。
ドレイン (DC バス)	S1, S2	10-22 nF SMD セラミック最小値と 22-100 nF ディスクリット	合計で一次側 RMS 定格電流のアンペアあたり 22 nF。SMD 部品は、短い配線で IC に直付けし、近くで接続する必要があります。これにより、ハードスイッチング (ZVS 消失) の D-S のリングングを防ぎます。さらに、高周波 EMI も防ぎます。
OV/UV	GROUND	4.7 nF	

テーブル 2. 重要な順に並べたバイパス コンデンサ テーブル

図 5 及び図 6 に、最適なパフォーマンスのためのグラウンド配線の代替スキームを 2 つ示します。図 5 では、楕円形のパッドが付いた LCS のレイアウトを示します。このレイアウトでは、ピン 3 とピン 5 の間を通して配線し、IC の両側にあるバイパス コンデンサのグラウンド に直接接続できます。

図 6 では、スペースが不十分であるため、ピン間に配線できない丸いパッドが付いた LCS レイアウトを示します。この場合、ジャンパー (JP1、1206 サイズ 0 Ω 抵抗) を使用してグラウンド に接続し、ピン 3 の接続をフォトカブラへの JP1 の下に配線できます。

トランス T1 は、高い di/dt 信号と dv/dt ノイズの両方を発生します。1 つ目は影響を受けやすい回路に磁気的に結合しますが、2 つ目は静電結合によってノイズが伝達されます。ノイズの静電結合はトランス コアをグラウンドに落とすことによって軽減できますが、効率を大幅に低下させずにトランスの周囲の浮遊磁場を、コストをかけずに軽減するのは困難です。ノイズ干渉を回避するには、影響を受けやすい配線及び部品 (フォトカブラなど) をトランスから離して配置する必要があります。

図 7 に、フォトカプラの推奨される配線及び FEEDBACK ピンに接続された配線の例を示します。フォトカプラはトランスから離して配置され、ノイズ干渉を軽減します。T1 やコンデンサ C12 のホット サイドなどの「アクティブな」部品及び配線との距離を確保し、(ピン 3 からの) フォトカプラの出力パターン線の配線をしてください。抵抗 R20 は、U1 上の FEEDBACK ピンに到達する前に R20 と C4 の組み合わせによってフォトカプラ配線のノイズ干渉がフィルタされるように、フォトカプラ U2 ではなく U1 の近くに配置します。C4 は、U1 の FEEDBACK ピン (ピン 4) の近傍に直接配置します。

VCCH は、直列に接続された高電圧の超高速ダイオード及び $2.2\ \Omega$ 抵抗を通して待機電源に接続します。内部 LLC ローサイド MOSFET がオンになるたびに、このダイオード抵抗回路によって VCCH バイパス/ストレージ コンデンサが充電されます。抵抗によって瞬間的なピーク充電電流が制限されます。図 8 の R6 と D1 を参照してください。

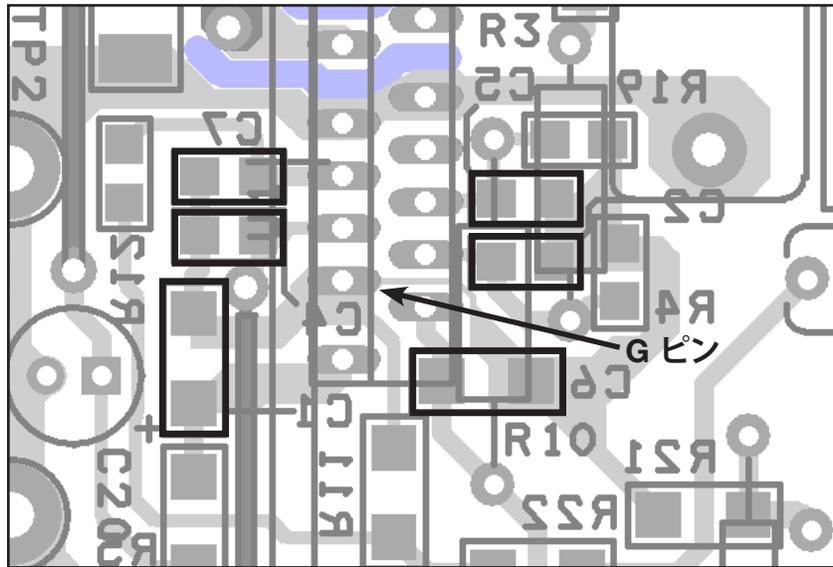


図 5. IC の信号ピンに対するバイパス コンデンサの配置

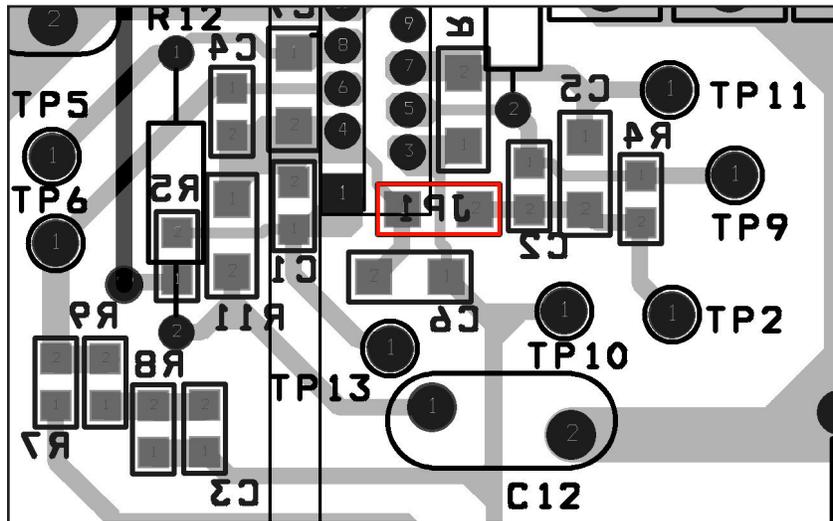


図 6. 2 つのグラウンドを接続するハイライト表示された ジャンパーを用いた円形パッドを使用した場合の LCS レイアウト

小信号バイパス コンデンサ

図5を参照し、FEEDBACKピン、DT/BFピン、ISピン、VREFピン、OV/UVピン、及びVCCピンの小信号バイパスコンデンサの位置(ハイライト表示)に注意してください。これによって、ピン接続とGROUNDピンへの配線が短くなります。基板のGROUNDピンとSOURCEピンまたはB-バスの間には接続されていないことに注意してください。

VCCH バイパス コンデンサ

図8を参照し、VCCHコンデンサ(ハイライト表示)の位置に注意してください。これによって、HBピン及びVCCHピンへの接続が短くなります。

ドレイン – ソース間高電圧バイパス コンデンサ

図9を参照し、ICに配置されたB+からB-への高電圧バイパスコンデンサ(ハイライト表示)の位置に注意してください。これによって、Dピン及びSピンへの基板配線の長さが最小になります。

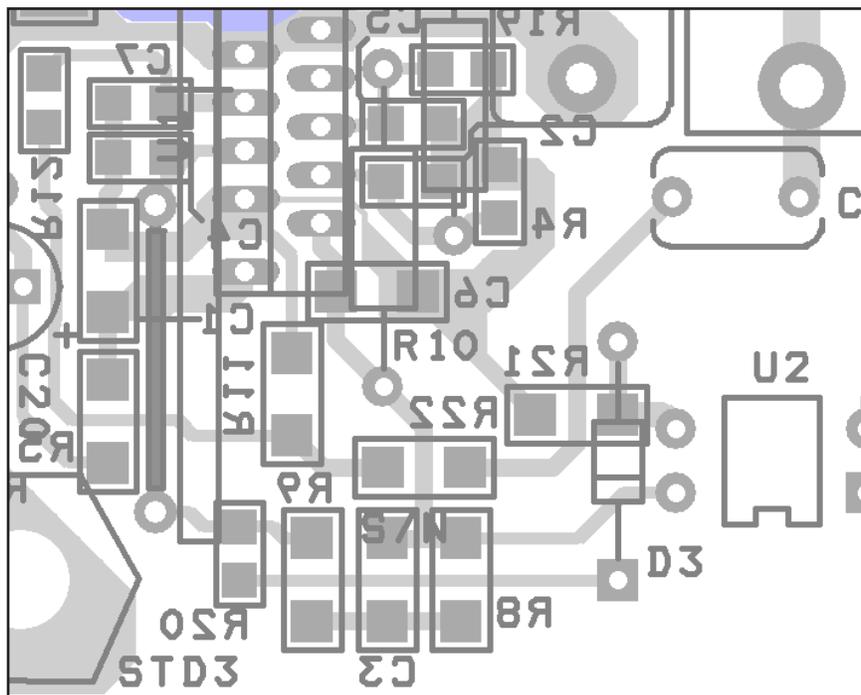


図7. フォトコプラの推奨される配線及び FEEDBACK ピンに接続された配線

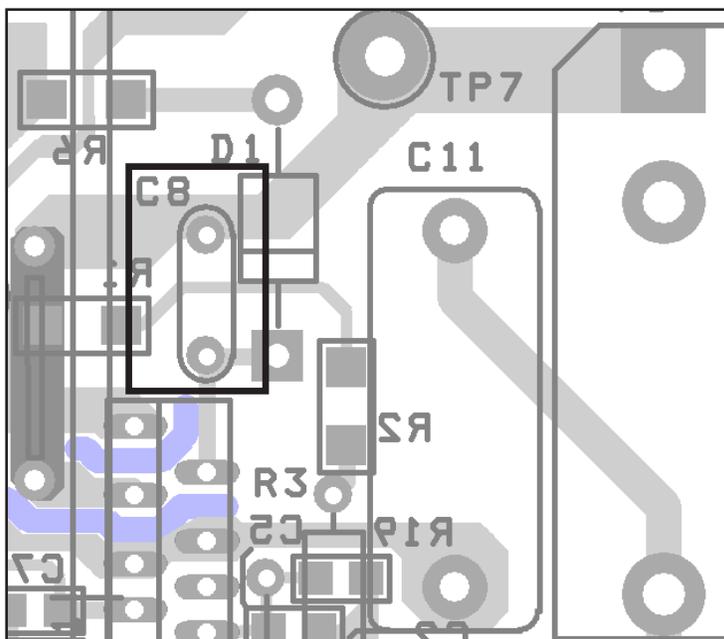


図8. VCCH コンデンサの配置

ブートストラップ回路及び HB ノード レイアウト

図 10 を参照し、ブートストラップ ダイオード、コンデンサ、抵抗、及び HB 配線の位置に注意してください。目的はフィードバック フォトカプラなどの小信号部品及び配線から離しておくことです。低電圧回路への dv/dt (容量性) カップリングが増加するため、このノードで基板配線の領域を不必要に増やさないでください。

トランスの二次側

トランス二次ピン、出力ダイオード、及びメイン出力コンデンサは、

まとめて短く密に配線する必要があります。これは二次電流の対称性及び出力ダイオードの逆電圧ストレスを最小にするために**重要で**す。セラミック コンデンサを使用するとトランス二次ピンと出力ダイオードの間に配置することができ、最適なレイアウトが可能になります。図 11 を参照してください。二次巻線の半分はボビンに巻く前に編み合わせる必要があります。これによってそれらの間の漏れインダクタンスが最小化され、電流の対称性が大幅に改善され、出力ダイオードの逆電圧ストレスが最小になります。2 出力設計の場合、それぞれの出力の半巻線を編み合わせる必要があります。

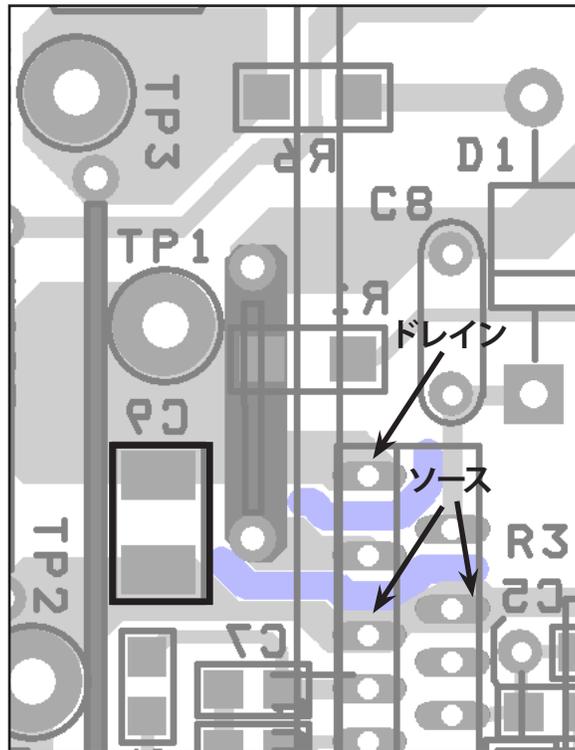


図 9. B+ 及び B- 高電圧バイパス コンデンサの配置

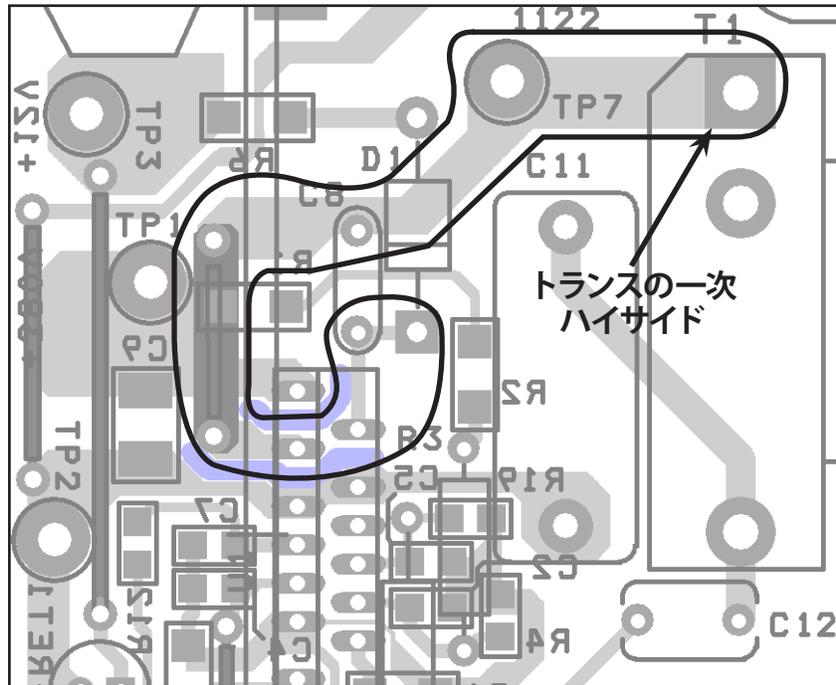


図 10. ブートストラップダイオード、コンデンサ、抵抗、及び高電圧配線の配置

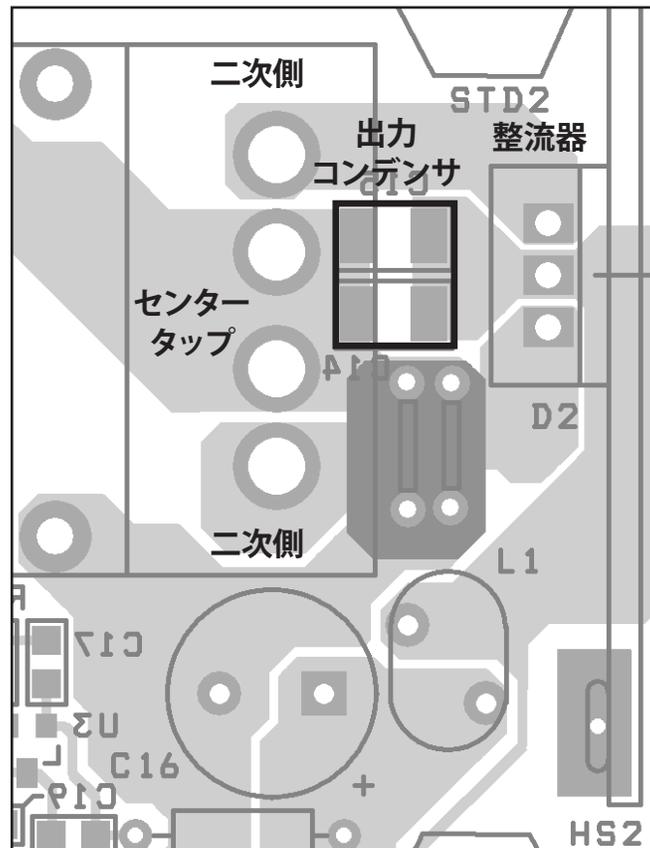


図 11. ループ エリアを最小化及び均等化する、トランス二次ピンと出力ダイオード間のコンデンサの配置

重要な設計の詳細

LLC コンバータは可変周波数共振コンバータです。入力電圧が低下すると、出力レギュレーションを維持するために周波数を低下させる必要があります。通常、負荷が軽減されると周波数が上昇します。コンバータが直列共振周波数で動作している場合、周波数は負荷が変わってもほとんど変わりません。最小動作周波数は、最大負荷で停止電圧 (最小入力電圧) 時に発生します。

動作周波数の選択

コストを最小限に抑え、銅線の使用を最小限にしてトランスのサイズを最小にするために、定格動作周波数を 250 kHz までにすることを推奨します。これによって、特に出力電圧が高い場合 (12 V 以上)、電解コンデンサの代わりに低コストのセラミック出力コンデンサを使用できます。コア、ボビンの 250 kHz 動作で想定した漏れインダクタンスが大きすぎる場合、180 kHz での動作でも優れた性能を実現できます。250 kHz での効率の最適化のために、一次巻線に AWG #44 (0.05 mm) リッツ線、二次巻線に AWG #42 (0.07 mm) リッツ線を推奨します。銅損が増大して効率が低下しますが、ゲージが太い低コスト リッツ線も使用できます。非常に低い周波数 (60 ~ 70 kHz) ではリッツ線径 (AWG #38 または 0.1 mm) が最適ですが、トランスが非常に大きくなり、長いリッツ線が必要になります。

定格動作周波数が 130 kHz と低い場合、損失を軽減するために、PC44 または同等のコア材料を使用することが推奨されます。このトランス設計で、(より小さい共振コンデンサに取り替えることにより) 周波数を上げると (低下した AC 磁束密度 B_{AC} のために) コア損失軽減、銅損増大、コア損失は、周波数よりも磁束密度が大きく影響します。周波数が増加すると、渦電流の損失により銅損が増大します。

300 kHz を超える定格動作周波数では、銅線の渦電流損失の増加や、一次側転流時間 (ZVS 移行時間) の割合が大幅に増加するため、効率が大幅に低下し始めます。これによって、電力が二次に転送される時間の割合が少なくなります。

共振タンク及びトランス設計

設計プロセス全体で役立つ PIXIs HiperLCS 計算シートの使用方法については、アプリケーション ノート AN-55 を参照してください。

一次インダクタンス

HiperLCS の最適なパワー伝送部設計では一次インダクタンスを利用し、任意の定常状態で ZVS の消失を最小にします。非定常状態での ZVS の消失は許容されます。一次インダクタンスを低下させると、高い励磁電流が発生して ZVS 動作の範囲が増加しますが、励磁電流の増加によって損失が増加し、効率が低下します。

初期設計に使用される一次インダクタンスの計算は、デバイスのサイズ、定格負荷、最小入力電圧、及び必要とする動作周波数に基づきます。PIXIs 計算シートに記載されています。 L_{PRI} は、一体型トランスの一次インダクタンス (高い漏れインダクタンス) です。また、外付けの直列インダクタンスを使用する場合には、このインダクタンスとトランス一次インダクタンスの合計です。

漏れインダクタンス

パラメータ K_{RATIO} は、次のような漏れインダクタンスの関数です。

$$K_{RATIO} = \frac{L_{PRI}}{L_{RES}} - 1$$

推奨される K_{RATIO} は 2.5 ~ 7 です。これによって漏れインダクタンスの許容範囲が決まります。

L_{RES} は、一体型トランスの漏れインダクタンスです。直列インダクタを外付けで使用する場合は、このインダクタンスとトランスの漏れインダクタンスの合計です。

低い K_{RATIO} (高い漏れインダクタンス) は、最小入力電圧でのレギュレーションが悪化し、漏れ磁束によりトランスの銅損が増加する場合があります。高い K_{RATIO} (低い漏れインダクタンス) では、当然、広い範囲で ZVS 動作を実現しますが低入力電圧時にピーク電流と RMS 電流が大きくなり、より低い一次インダクタンスが必要です。これによって共振循環電流が増加し、効率が低下します。

設計者が使用できるコアとボビンの設計によって、漏れインダクタンスの調整範囲が制限される場合があります。幸い、比較的広範囲な漏れインダクタンスの値でも優れた性能を実現できます。

K_{RATIO} は、入力電圧の範囲でレギュレーションを維持するために LLC が動作する必要がある周波数範囲に直接影響します。 K_{RATIO} を増加させると、この周波数範囲が増加し、 f_{MIN} が低下します。

より高い通常動作時の B_{AC} で動作させるような低い波数設計では、低い f_{MIN} が問題になることがあります。これによって、 f_{MIN} で動作する時にコアが飽和する場合があります。 f_{MIN} での動作は、入力電圧が最小限 (入力停止) の場合に発生します。

外付け共振インダクタの設計では、範囲の下側でインダクタンスを動作させると ($K_{RATIO} = 7$) インダクタのサイズとコストが最小になります。

漏れインダクタンスの調整

分割ボビン (一次と二次に分割) は一般に LLC コンバータに使用されます。一次巻線と二次巻線の両方を (巻線比を維持しながら) 増減すると、一次巻線の 2 乗に比例して漏れインダクタンスが変化します。

漏れインダクタンスが高すぎる場合に考えられる解決策の 1 つは、3 分割のボビンを使用することです。この場合、二次は中央部にあり、一次巻線は直列に接続された 2 つの部分に分割されます。

最終的に、漏れインダクタンスが低すぎる場合は、外付けインダクタを追加できます。

共振周波数

直列共振周波数は、 L_{RES} 、 C_{RES} 、及び共振コンデンサの関数です。 L_{RES} の任意の値について、必要な直列共振周波数 f_{RES} に対して C_{RES} の値を調整できます。効率の最適化のために、共振周波数は定格入力電圧で目標の動作周波数の近くに設定されます。

動作周波数及び周波数の比率

共振周波数に対する動作周波数の比率 f_{RATIO} は次のように定義されます。

$$f_{RATIO} = \frac{f_{SW}}{f_{RES}}$$

$f_{RATIO} = 1$ は、コンバータが直列共振周波数で動作することを示します。

f_{RATIO} の主要な決定要因は、トランスの巻数比です。一次巻線を増やすと、同一の入出力電圧において f_{RATIO} が低下します。

定格入力電圧で推奨される f_{RATIO} は 0.92 ~ 0.97 です。出力ダイオードの選択を考えない場合、多くの場合、共振での動作によって共振パワー伝送部についての効率が最大になります。ただし、共振をわずかに下回って動作すると (ダイオードは不連続動作モードになります)、低電圧ダイオードまたは同期整流 MOSFET を使用できます。これによって損失が軽減され、全体の効率は向上します。これは、高入力でコンバータが共振を上回って動作する必要がある場合、ダイオードは浅い連続モードで動作し、整流電流値が小さいため、寄生インダクタンスによる電圧スパイクは小さくなります。(寄生インダクタンスは、二次側の漏れインダクタンスと、ダイオード、出力コンデンサ間の寄生インダクタンスで構成されます)。

反対に、非常に低い f_{RATIO} (0.8 未満) で動作すると、RMS 及びピーク電流が高くなります。場合によっては、低い電圧定格、低い V_F 整流ダイオードを使用できるため、最適な設計となることもあります。高入力電圧時でも連続動作モードで動作せず、低い電圧定格を可能にする電圧スパイクが発生しません。

LLC ハーフブリッジ コンバータは、次の式が成り立つ場合に共振で動作します。

$$\frac{V_{IN}}{2} = n_{EQ} V_{OUT}$$

ここで、 n_{EQ} はトランス等価回路の巻数比です。一体型トランスの n_{EQ} は物理的な巻線比 N_{PRI}/N_{SEC} よりも低いことに注意してください。二次巻線はそれぞれの二次巻線の半分のもので、上記の式の V_{OUT} は、出力電圧 + ダイオード降下に等しくなります。除数「2」はハーフブリッジ構成のためです。それぞれのハーフサイクルは、それぞれの二次の半分に対する入力電圧の半分が導通します。

共振コンデンサまたはインダクタンス値が変更された場合、スイッチング周波数と共振周波数の両方が変わりますが、 f_{RATIO} はほとんど変わらないことに注意してください。

通常設計では、LLC が共振点で動作する入力電圧を $V_{INPUT(RESONANCE)}$ とします。この電圧を下回ると、LLC は (共振点を下回る) 低い周波数で動作します。そのため、定格入力電圧で推奨される $f_{RATIO} \approx 0.95$ では、 $V_{INPUT(RESONANCE)}$ は定格電圧よりもわずかに高くなります。

可変定格入力電圧の設計 (PFC プリレギュレータがないなど) では、 $V_{INPUT(RESONANCE)}$ が最大と最小の入力電圧の中間付近になるように最初の巻数比を設定することが推奨されます。可変出力電圧の設計 (定電流安定化出力など) では、最小と最大の出力電圧の中間点で LLC が共振で動作するように最初の巻数比を設定することが推奨されます。

デッドタイムの選択

HiperLCS を使用する設計の大部分は、電力及び動作周波数に関わらず、290 ~ 360 ns のデッドタイムで正常に動作します。低い $V_{BROWNOUT}$ を要求する設計では、より短いデッドタイムが必要になる傾向があります。

デッドタイムの設定は、低入力/最大負荷 (低周波数) と最小負荷/高入力 (高周波数) の条件の間で調整されます。低入力/最大負荷の動作では最適なデッドタイムは短くなりますが、最小負荷/高入力では最適なデッドタイムは長くなります。

低入力/最大負荷の動作の最適値よりも長いデッドタイムの設定は、ZVS の部分的な消失があり、定常状態の動作時に条件が発生しない場合に許容されます。つまり、保持時間などの過渡条件でのみ発生する場合です。定常状態の動作時に ZVS の消失がある動作は内部電力消費が高くなるため、回避する必要があります。

高入力/最小負荷の動作の最適値よりも短いデッドタイムの設定は、フィードバック信号を弱め、HiperLCS を強制的にバーストモードにする傾向があります。これが許容されるのは、結果として発生するバーストモード動作が許容できる場合です (つまり、繰り返しにより音鳴りが発生せず、大きなトランジェントが許容できる場合です。この場合、HiperLCS はバーストモードに入ったり終了したりします)。PFC プリレギュレーション フロントエンドでは、負荷ダンピング (100 ~ 1% の負荷ステップ) は過渡入力電圧条件を一時的に示すだけであることに注意してください (たとえば、LLC 段への入力電圧は 380 V から 410 V に増加し、比較的ゆっくりと 380 V に戻ります)。バースト スレッシュホールド周波数設定は、設計者がバーストモードを調整するために使用できる別の方法であることにも注意してください。

OV/UV ピン

入力 (B+) 電圧を監視する HiperLCS OV/UV ピンには、起動 (ターンオン) スレッシュホールド ($V_{SD(U)}$) の定格 79% の停止シャットダウン スレッシュホールド ($V_{SD(L)}$) があります。これは定格 2.4 V です。過電圧 (OV) 検出シャットダウン スレッシュホールド ($V_{OV(H)}$) は起動スレッシュホールドの定格 131%、及び OV リスタートポイント ($V_{OV(L)}$) の定格 126% です。これらのスレッシュホールドの比率は固定され、出力電圧設定ポイントが固定された PFC プリレギュレーション フロントエンドの設計で最大限活用するために選択されます。抵抗分割回路の比率は、起動ポイントが常に PFC 出力設定ポイントを下回り、部品の公差を含めて OV リスタート (下側) スレッシュホールドが常にそれ以上にあるように選択する必要があります。

保持時間中は電圧が定格値から停止スレッシュホールドまで低下し、HiperLCS はスイッチングを停止します。

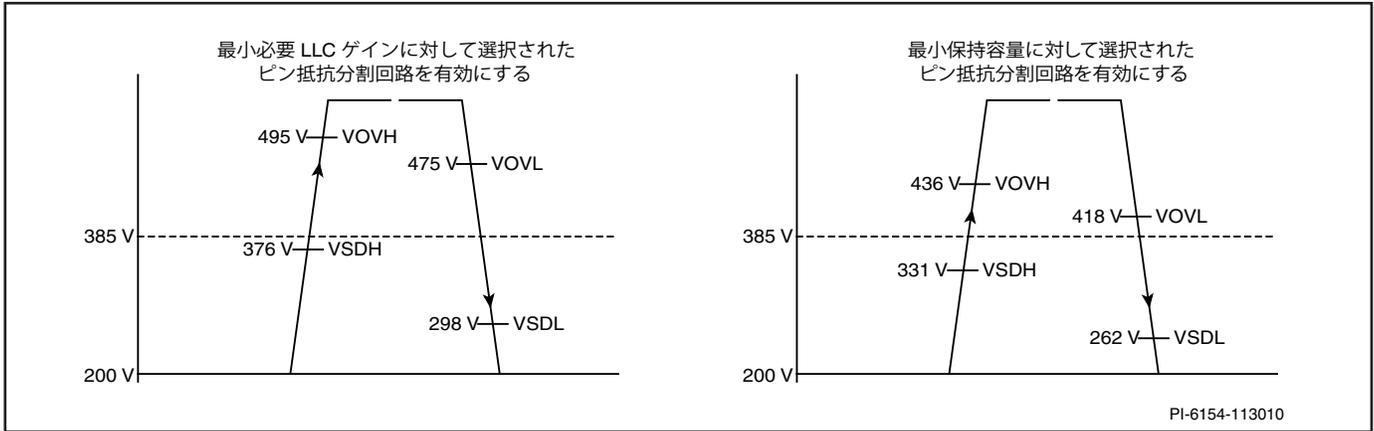


図 14. 385 V 定格入力電圧の OV/UV ピン電圧スレッショールド (分割回路の最小及び最大比率で)

入力電圧が可変であり (たとえば、PFC プリレギュレータがないなど)、変動が 24% を超える場合、OV スレッショールドは抵抗分割回路の外付け回路で増加させる必要があります。V_{BROWNOUT} をデフォルトの比率よりも低くする必要がある場合は、外付け回路も必要です。

図 14 の左側の例では、起動スレッショールドが V_{PFC} 設定ポイントの 385 V のすぐ下の 376 V になるように抵抗分割回路が設定されます。OV シャットダウン スレッショールドは 495 V です。これによって、デバイス最大 V_{DS} 定格の 530 V に対して十分なマージンが与えられます。これによって必要な最小 LLC ゲインが最小化され、停止電圧時のピーク電流が最小になります。図 14 の右側の例では、OV リスタート スレッショールドは V_{PFC} のすぐ上の 418 V に設定されます。これによって、同一の整流コンデンサの値に対して保持時間が最大になります。

OV/UV ピンには、ピンオープン異常状態を検出するための内蔵 5 MΩ プルダウンがあります。

OV/UV ピン分割回路に推奨されるプルダウン抵抗値は 20 ~ 22 kΩ です。抵抗値が非常に大きいとピン プルダウン電流が精度に影響し、値が小さいと電力損失が増加します。

DT/BF ピン

VCC が印加された後 500 μs の間、高インピーダンス モードに入り、DT/BF ピンによって電圧分割回路の比率が検出されます。HiperLCS でスイッチングが開始される前にピン電圧が検出されます。図 15 を参照してください。

選択できるバースト スレッショールド設定は 3 つあります (これによって、バーストの開始及び停止スイッチング周波数が決まります。テーブル 3 を参照)。

適切な選択を行うには、テーブル 3 に従って R_{FMAX} に対する R_{BURST} の比率を設定します。

バースト スレッショールド	R _{BURST} / R _{FMAX}
1	19
2	9
3	5.67

テーブル 3. バースト スレッショールド選択テーブル

VCC が停止するまでバースト スレッショールド設定が保存されます。

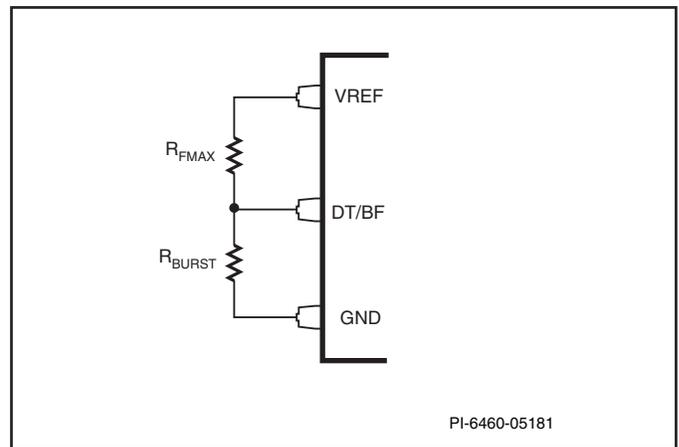


図 15. DT/BF ピン分割回路

バースト スレッショールド検出後、DT/BF ピンは通常モードで動作し、電流を吸い込みます。これは、定格 0.66 V 及び 1.1 kΩ のテブナン等価回路が付いたダイオード接地と等価です。抵抗分割回路からピンへの電流によって、デッドタイム及び最大周波数 f_{MAX} が決まります。デッドタイムと f_{MAX} の関係は固定であり、およそ次のようになります。

$$f_{MAX} (kHz) = \frac{270000}{Dead-Time(ns)}$$

DT/BF ピン電流と f_{MAX} の関係、及びスイッチング周波数対 FEEDBACK ピン電流 (同じ特性を示す) を図 16 に示します。

バースト モード開始/停止周波数スレッショールドは f_{MAX} の固定の分数で、DT/BF ピンの抵抗分割回路の比率によって設定されるバースト スレッショールド設定によって決まります。

バースト スレッショールド設定	f _{START} /f _{MAX}	f _{STOP} /f _{MAX}
1	7/16	8/16
2	6/16	7/16
3	5/16	6/16

テーブル 4. f_{MAX} の比率としての名目バースト開始/停止周波数

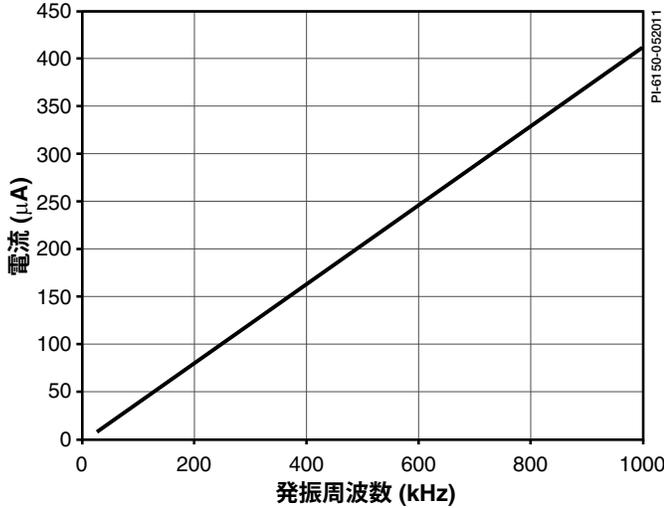


図 16. FEEDBACK ピン電流と DT/BF ピン電流対周波数

たとえば、BT2 が選択され、 f_{MAX} が 800 kHz である場合は、 $f_{START} = 300$ kHz、 $f_{STOP} = 350$ kHz です。通常の動作時に負荷が軽減されて周波数が 350 kHz に上昇した場合、スイッチングは停止します。これによって、出力電圧が低下し、フィードバック ループの FEEDBACK ピン電流が減少します。電流が 300 kHz に対応する値に減少すると、スイッチングが開始され、サイクルが繰り返されます。ただし、起動モードでは、出力は f_{STOP} と f_{MAX} の間の周波数 (上記の例では 250 ~ 800 kHz) でスイッチングできます。スイッチング周波数が f_{STOP} を下回ると起動モードが終了し、フィードバック ループが f_{STOP} を超えるスイッチング周波数を発生させようとする場合、HiperLCS は続いてバースト モードに入ります。

f_{MAX} は、HiperLCS のオートリスタート サイクルがオフになっているか、スイッチングの前の起動ディレーである場合に内部カウンタが動作する周波数です。

推奨される最小デッドタイムは 275 ns であるため、最大 f_{MAX} 設定は 1 MHz です。

R_{FMAX} を簡単に選択するには、図 17 の選択カーブを参照してください。

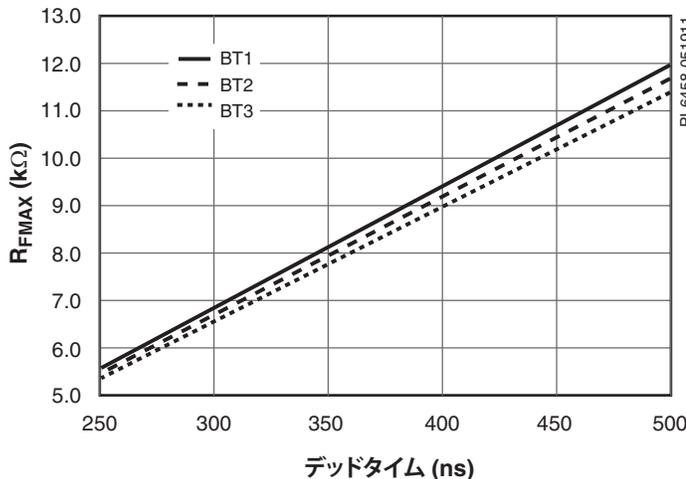


図 17. 3 つの異なるバースト スレッシュホールド設定の R_{FMAX} 対デッドタイム

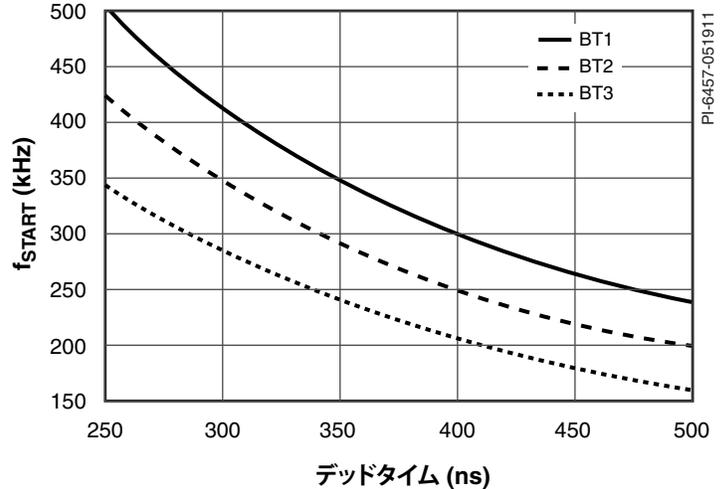


図 18. 異なるバースト スレッシュホールド設定 (BT1、BT2、BT3) の f_{START} (下側のバースト スレッシュホールド周波数) 対デッドタイム設定

f_{START} に対する f_{STOP} の比率は固定であり、バースト スレッシュホールド設定に依存します (テーブル 5 を参照)。

バースト スレッシュホールド設定	f_{STOP}/f_{START}
1	1.14
2	1.17
3	1.20

テーブル 5. f_{STOP}/f_{START} の比率対バースト スレッシュホールド選択

通常バースト モード時、周波数は f_{START} から f_{STOP} に上昇し、その後スイッチングが停止し、サイクルが繰り返されます。

FEEDBACK ピン

FEEDBACK ピンは電圧レギュレーション フィードバック ピンです。このピンは 0.65 V 及び 2.5 kΩ の通常のテブナン等価回路です。通常の動作では電流が低下します。オートリスタートのオフ時及び起動前のクロック遅延時には、ソフトスタート コンデンサを放電するために内部で V_{REF} に引き上げられます。ピンに流入する電流によってスイッチング周波数が決まります。電流が大きくなると周波数が高くなるため、LLC 出力電圧は減少します。標準的な応用例では、 V_{REF} ピンに接続されたフォトカプラは、抵抗回路を通して FEEDBACK ピン上で引き上げられます。フォトカプラは、出力の上昇とともに増加する FEEDBACK ピン電流を供給するように構成されます。フォトカプラ、FEEDBACK ピン、及び V_{REF} ピンの間の抵抗回路によって、カットオフから飽和までにフォトカプラが指定できる最小及び最大の FEEDBACK ピン電流 (さらには最小及び最大の動作周波数) が決まります。この回路には、ソフトスタート タイミング コンデンサ C_{START} (図 19) も含まれます。

この回路によって設定される最小周波数は、最小入力電圧のパワー伝送部に必要な周波数を下回る必要があります。図 19 では、これは R_{FMIN} と R_{START} の合計によって決まります。FEEDBACK ピン電流は、フォトカプラのカットオフが発生した場合、これら 2 つの抵抗によって決まります。 C_{START} は、通常の動作時には無視できます。起動周波数を決定する R_{START} と、バースト モード起動 (下側) スレッシュホールド周波数の f_{START} を混同しないでください。

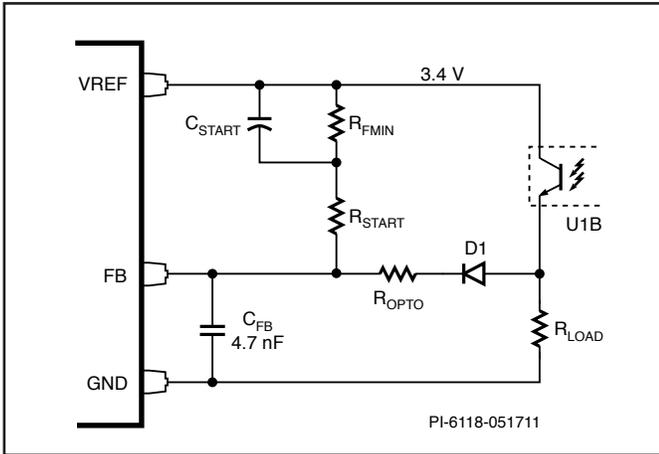


図 19. 追加の負荷抵抗があるフィードバック回路

起動時の FEEDBACK ピン電流は、 C_{START} の電圧がゼロになるため、 R_{START} の値によって決まります。最小起動ピーク電流では、起動スイッチング周波数が f_{MAX} から開始されるように、この電流を DT/BF ピン電流に一致させるか、わずかに超過させる必要があります。 R_{START} の結果の値は、DT/BF ピンのプルアップ抵抗の値よりも約 10% 低くなります。 C_{START} が充電されると周波数が下降します。 R_{START} が f_{MAX} で起動するよりも小さい場合は、起動スイッチングの前に更に余分にディレーが発生します。PIXIs HiperLCS 計算シートを参照してください。

抵抗 R_{LOAD} によってフォトカプラに負荷がかかり、バーストモード時に大振幅過渡応答が高速化されます。推奨される値は 4.7 k Ω までです。フォトカプラのカットオフが発生した場合、ダイオード D1 によって R_{LOAD} が R_{FMIN} に負荷をかけるのを防ぎます。ダイオード D1 を省略し、抵抗値を組み合わせる必要な f_{MIN} を実現することはできますが、結果として公差は不十分になります。抵抗 R_{OPTO} によって PSU の ESD 及びサージの耐性が改善されます。また、バーストモード出力リップル電圧も改善されます。フォトカプラが飽和し、FEEDBACK ピンが 2.0 V である場合、最大値は FEEDBACK ピン電流が DT/BF ピン電流に等しくなるようにする必要があります (PIXIs HiperLCS 計算シートを参照)。これは、フィードバックループでスイッチング周波数が f_{STOP} を下回ることができなかったために HiperLCS が起動モードを終了しない場合、 f_{MAX} でバーストして軽負荷で制御できるようにするためです。ただし、 f_{MAX} でのバーストは、ZVS の消失による多大な内部放熱を発生させる可能性があるため避けるように注意してください。図 20 を参照してください。

コンデンサ C_{START} は、停止電圧時最大負荷において測定されるピーク電流を少し下回るピーク電流が、起動時に 7 サイクル連続で示すように最小値を規定します。値を大きくすると、起動が低速になり、更に大きくすると、 f_{STOP} に到達しない可能性が大きくなります。これが HiperLCS が高入力及び最小負荷で起動した場合に起動モードの終了を妨げて、 f_{START} と f_{STOP} の間ではなく f_{MAX} で HiperLCS をバーストさせることとなります。

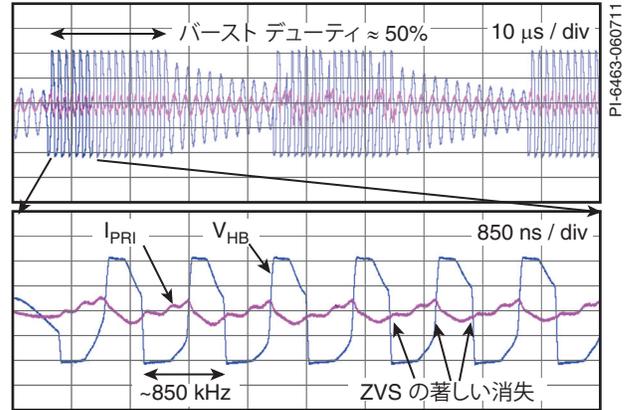


図 20. f_{MAX} でのバーストは、ZVS の消失による多大な内部放熱を発生させるので避ける必要があります

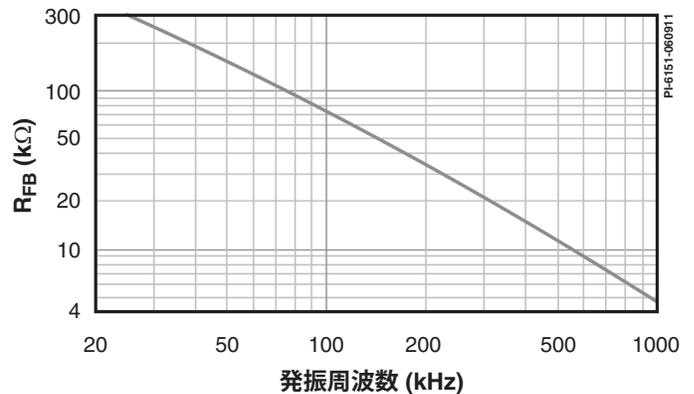


図 21. VREF から FB への外付け抵抗対周波数

R_{FMIN} と R_{START} を計算するには、周波数に対して FEEDBACK ピンから VREF ピンへの定格抵抗を記述した次の式を使用します。

$$R_{FB} = \frac{3574}{f^{(0.6041 + 0.1193 \times \text{LOG}(f))}}$$

ここで、 R_{FB} の単位は k Ω 、 f の単位は kHz です。

f_{MAX} での起動を示す R_{START} の最小値を計算するには、デッドタイムと f_{MAX} に関する式から $f = f_{MAX}$ として上記の式を使用します。

f_{MIN} を設定するには、 $f = f_{MIN} \times 0.93$ で上記の方程式を使用します。この方程式で、最悪条件時の周波数公差が -7% になるにもかかわらず、0.93 によって、発振周波数が f_{MIN} を下回ることが可能であり、 $V_{BROWNOUT}$ のレギュレーションが保証されることが確認されます。

R_{FB} に対するその算出値を使用して、 R_{FMIN} を計算します。

$$R_{FMIN} = R_{FB} - R_{START}$$

R_{FMIN} と R_{START} の和によって f_{MIN} が決定されます。

4.7 nF デカカップリング コンデンサ C_{FB} (図 19 を参照) と FEEDBACK ピンから提供された 2.5 k Ω の入力抵抗を併用すると、LLC 伝達関数でポールが形成されることに注意する必要があります。これにより、フィードバック ループに大幅な位相の遅れが追加されます。クロスオーバー周波数 3 kHz を使用した 250 kHz 設計の標準値は 4.7 nF です。ループの不安定さを防ぐには、4.7 nF コンデンサの値をあまり増加させないでください。もう一方で、FEEDBACK ピンのバイパス容量不足または不適切なレイアウトは、デューティサイクルの非対称を招く可能性があります。

起動及びオートリスタート

起動時とオートリスタートがオフになっている間は、内部で FEEDBACK ピンが VREF ピンまで引き上げられます。これにより、ソフトスタートに備えて、出力 MOSFET がオフに保たれ、ソフトスタート コンデンサが放電されます。

起動時に、この状態は周波数 f_{MAX} で 1024 クロック サイクルの間保持されます。オートリスタートがオフの時、または VCC が UVLO スレッシュホールドを上回っている間に OV/UV または IS ピンがトリガされる場合、この状態は 131,072 クロック サイクルの間保持されます。

1024 または 131,072 サイクルの後 (場合によっては)、HiperLCS が内蔵プルアップ トランジスタをオフにし、ソフトスタート コンデンサの充電が始まり、出力 MOSFET が f_{MAX} でスイッチングされ、FEEDBACK ピンの電流が減少し、発振周波数が低下し始め、出力電圧が上昇します。

たとえば、 $f_{MAX} = 800$ kHz については、VCC 起動後の起動デレイは 1.3 ms です。IS または OV/UV ピンが動作した場合、再起動デレイ 164 ms でオートリスタートが動作開始します。

FEEDBACK ピンのカレント リミットは、DT/BF ピンへ流れる電流のカレント リミットと等しくなります。これにより、起動時にソフトスタート コンデンサを充電する最大電流が制限されます。 R_{START} が起動時に FEEDBACK ピン電流と DT/BF ピン電流を一致させる値よりも小さい場合、追加のデレイが発生します。 C_{START} はカレント リミットで充電され、FEEDBACK ピンの電圧が 2.0 V 以下に下がった時だけスイッチングが開始されます。したがって、設計者は必要に応じて起動デレイを追加することができます。

ソフトスタート コンデンサへの充電が続くと、 R_{START} と FEEDBACK ピンを流れる電流が低下し、スイッチング周波数が減少します。出力電圧が上昇して、フィードバック ループが閉じた時に、フォトカプラが導通し、スイッチング周波数と出力電圧の制御が開始されます。

リモートオフ

リモートオフを動作させるには、OV/UV ピンをグランドに引き下げるか、0.9 V を超えるように IS ピンを引き上げます。いずれの場合も、131,072 サイクル リスタート サイクルが動作します。VCC を引き下げてデバイスを停止することもできますが、引き上げた場合、FEEDBACK ピンが VREF ピンへ引き上げられ、1,024 f_{MAX} クロック サイクルだけソフトスタート コンデンサが放電されます。このスキームを使用する場合、設計者は VCC が引き下げられる時間に 1,024 サイクルを加えた時間がソフトスタート コンデンサの放電に十分であることを確認する必要があります。そうしない場合は、下側の開始周波数が過電流保護を動作させる可能性がある大きな一次電流を発生させない値であることを確認します。

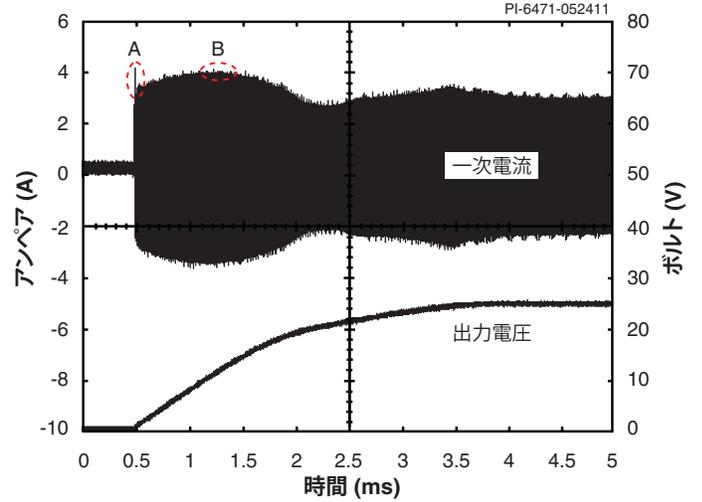


図 22. 標準的な起動波形。初期電流スパイク「A」に注目し、1 サイクル カレントリミットを下回っていることを確認します。高い f_{MAX} は電流スパイクを減少させる。サイズピーク「B」が最大負荷時のピーク電流 $V_{BROWNOUT}$ を下回るようにソフトスタート コンデンサ容量を設定します。

IS ピン

IS ピンには、定格 0.5 V と定格 0.9 V の 2 つのスレッシュホールドがあります。IS ピンは低い負の電圧及び電流を許容できるので、ピーク検出器または整流回路は必要ありません。このピンには、グランドへ逆接続したダイオードの等価回路があり、5 mA の最大負電流を許容することができます。一次電流は、一次 B- 基準電流センス抵抗の回路、またはコンデンサ電流分割と電流センス抵抗を組み合わせた回路によってサンプリングされます。負電流を 5 mA に制限するために、センス抵抗と IS ピンの間に最小値 220 Ω のカレント リミット抵抗が必要です。指定された RC ポール周波数に対して、最小値を使用すると、IS ピン バイパス コンデンサの値が最大化するので、ピン ノイズが除去されます。IS ピンで 7 つの連続パルスが 0.5 V を超える場合、IS ピンによりオートリスタートが起動します。単一パルスが 0.9 V を超える場合も、同様にオートリスタートが起動します。最小のパルス検出時間は定格 30 ns です。つまり、パルスは、30 ns より長い間スレッシュホールド電圧を上回る必要があります。

図 23 の「コンデンサ分割」回路は、消費電力を削減し、単純な抵抗によるセンス回路により効率が向上します。メインの共振コンデンサ C11 とセンス コンデンサ C12 の 2 つは、電流分割を形成します。C12 からの一次電流の一部は次の通りです。

$$\frac{C12}{C11 + C12}$$

その結果、IS ピンの電圧は次の方程式の結果に等しくなります。

$$I_P \times \frac{C12}{C11 + C12} \times R11,$$

この I_P は、HB ピンからトランスの一次回路を流れる一次電流です。センス コンデンサの電流は、センス抵抗 R11 を通過します。抵抗 R11 は、カレント リミットを調整する主要な方法です。R11 上の信号である AC 電圧は、ローパス フィルタ R12 及び C7 を通過し、IS ピンに到達します。R11 は、SOURCE ピンではなく、GROUND ピンに戻されることに注意してください。

推奨される直列抵抗の値 220 Ω とバイパス コンデンサは、ローパス フィルタを形成します。そして、その時定数が定格動作周波数で電流センス信号の大幅な減衰を招かないようにする必要があります。減衰の影響は、起動時の電流波形の最初のパルスに対して最大になります。さらに、短絡テストの際の適切なシャットダウンにも影響を与える可能性があり、通常、7 サイクル カレント リミットで動作します。密結合プローブを IS ピン バイパス コンデンサに配置し、波形を一次電流と比較します。

バースト モード動作と調整

バースト モードは、図 24 に示されているような標準波形を生成します。バースト パルス モード時に、スイッチング周波数が f_{START} から f_{STOP} に上昇します。

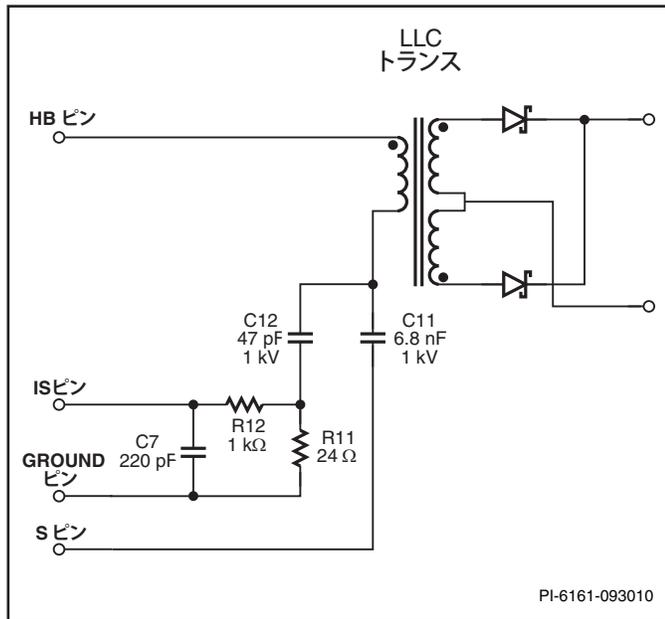


図 23. コンデンサの分割電流センス回路

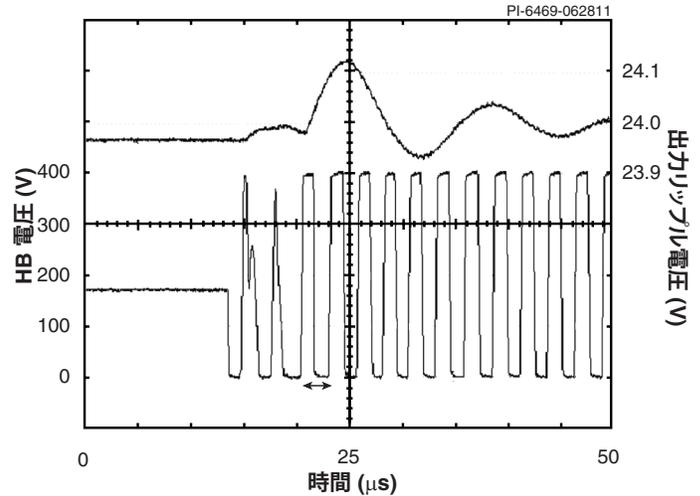


図 25. 図 24 に示したバースト パルス モードの最初のいくつかのスイッチング サイクルの拡大図。最初の 2 サイクルは、ハイサイド ドライバがまだオン になっていないことを示しています。最初のいくつかのサイクルのスイッチング周波数は、この場合、335 kHz の f_{START} です。出力のリングングは出力フィルタに起因します。

バースト パルス モード開始時の初期出力リップル スパイクが無視される場合、出力リップルがのこぎりの歯のようになります。図 24 の出力リップル波形を参照してください。HiperLCS がスイッチングする時、出力が上昇します。HiperLCS がスイッチングを停止する時、出力が低下します。フィードバック ループが周波数 = f_{STOP} を命令しているので、のこぎりの歯の頂点でバースト パルス モードが終了します。フィードバック ループが周波数 = f_{START} を命令しているので、のこぎりの歯の底でバースト パルス モードが開始されます。したがって、バースト モード制御は、のこぎりの歯の頂点と底がフィードバック ループ ゲインによって一定になっている自動復帰型コントローラに似ています。のこぎりの歯の下り部分では、出力コンデンサが単に次の dv/dt で負荷に放電しています。

$$I = C \times \frac{dv}{dt}$$

ここでは、I = 負荷電流です。C は合計出力容量です。

のこぎりの歯の上り部分は、パワー伝送部によって流れる電流と負荷によって消費される電流との差異に左右されます。所定の設計では、上り部分は入力電圧に比例して増加します。

バースト繰り返し率 (周波数) は負荷に比例して増加します。パワー伝送部が f_{STOP} を下回る周波数で制御できるポイントに負荷が達すると、バーストが停止します。負荷電流が低下すると (大きな負荷により)、周波数が増加し、負荷電流が f_{STOP} に達すると、バーストが開始されます。

標準的な設計では、定格スイッチング周波数よりも少なくとも 20 ~ 40% 高い f_{START} を選択する必要があります。図 18 に、 f_{START} とデッドタイムの関係を示します。テーブル 5 に、 f_{STOP} の f_{START} に対する比率とバースト スレッシュホールド設定数を示します。場合によっては、 f_{START} と f_{STOP} を変更するために、設計者がデッドタイムをわずかに変更することを選択する場合があります。一部の設計では、無負荷時に定格入力電圧でバースト モードになる場合があります。

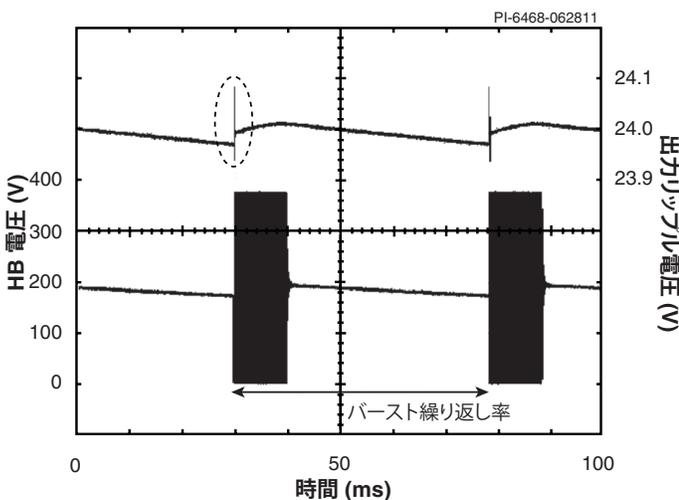


図 24. バースト モードの標準波形。無負荷時の 24 V / 150 W HiperLCS 設計。初期スパイク (丸く囲んである) 値は後段フィルタ電解コンデンサ ESR によって異なります。

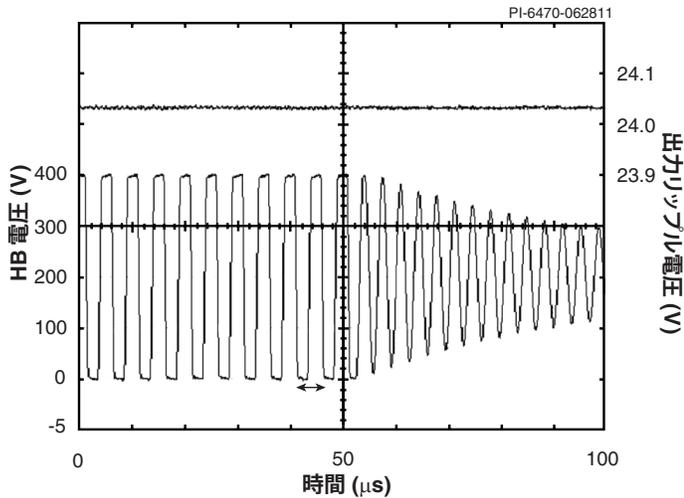


図 26. 図 24 に示したバーストパルスモードの最後のいくつかのスイッチングサイクルの拡大図。最後のいくつかのサイクルのスイッチング周波数は、この場合 (矢印)、383 kHz の f_{STOP} です。スイッチングの停止後の V_{HB} のリングングは、MOSFET 容量と一次インダクタンスによるリングングです。

f_{START} が高くなると、バーストが開始される負荷スレッシュホールドが下がり、入力電圧スレッシュホールドが上がリ、バーストモードの出力リップルが小さくなりますが、バースト繰り返し率が増大し、入力と負荷の一部の組み合わせでノイズが発生する場合があります。 f_{START} の選択は、HyperLCS がバーストモードを出入りする大振幅過渡応答に影響を与えます。

絶対最大定格⁶⁾

非線り返し D または HB 電流 ⁵⁾	V_{CC} 、 $V_{CCH} = 11.5 V$ 、 $T_J = 25 ^\circ C$	OV/UV ピン電圧 ³⁾	-0.3 ~ $V_{CC} + 0.3 V$
LCS700	5.2 A	ピン電流 (VREF、OV/UV、DT/BF、FEEDBACK、IS).....	$\pm 100 mA$
LCS701.....	7.7 A	ジャンクション温度.....	-40 $^\circ C$ ~ 150 $^\circ C$ ⁷⁾
LCS702.....	10.3 A	保存温度.....	-65 $^\circ C$ ~ 150 $^\circ C$
LCS703.....	12.9 A	リード温度 ⁴⁾	260 $^\circ C$
LCS705.....	19.3 A	ESD グレード (JESD 22 -A 114 -B、HBM).....	2 kV
LCS708.....	30.9 A	注:	
非線り返し D または HB 電流 ⁵⁾	V_{CC} 、 $V_{CCH} = 11.5 V$ 、 $T_J = 125 ^\circ C$	1. S に対する相対電圧。	
LCS700.....	4.2 A	2. HB に対する相対電圧。	
LCS701.....	6.2 A	3. G に対する相対電圧。	
LCS702.....	8.3 A	4. ケースから 1/16 インチの点で 5 秒間。	
LCS703.....	10.4 A	5. T_J が 100 $^\circ C$ を下回り、ドレイン電圧が 400 VDC 以下の場合、	
LCS705.....	15.6 A	1 サイクル ピーク電流は、t が 460 ns を下回る線り返し最大	
LCS708.....	24.9 A	電流を超えることができます。	
DRAIN ピン電圧 D ¹⁾	-1.3 V ~ 530 V	6. すべてのピンの絶対最大電圧定格はこの項に記載されており、	
ハーフブリッジ電圧、HB ¹⁾	-1.3 V ~ D + 0.5 V	それは超えてはならない絶対最大条件です。最大動作電圧と絶対	
ハーフブリッジ電圧スルー レート、HB.....	10 V/ns	最大定格の間の条件は頻繁に発生するものではなく、短期間	
SUPPLY ピン電圧、VCC ¹⁾ 、VCCH ²⁾	-0.3 V ~ 17.5 V	に限定されます (一時障害条件など)。絶対最大定格は、製品の	
G ピン電圧 ¹⁾	-0.3 V ~ 0.3 V	製品の信頼性を保証するものではなく、超えた場合に製品に対	
IS ピン電圧 ³⁾	-0.65 ~ $V_{REF} + 0.3 V$	して直ちに損傷のリスクが生じる最大印加電圧のレベルのため	
DT/BF 及び FEEDBACK ピン電圧 ³⁾	-0.3 ~ $V_{REF} + 0.3 V$	のガイドラインです。	
		7. 絶対最大ジャンクション温度は、超えた場合にデバイスの損傷	
		(あるいは潜在的な破損) が発生する温度です。	

熱抵抗

ジャンクションとケース間の熱抵抗^{1), 3)}:

LCS700 (θ_{JC})	7.6 $^\circ C/W$	LCS701 (ΔT_{J-OT}).....	4.0 $^\circ C/W$
LCS701 (θ_{JC})	7.0 $^\circ C/W$	LCS702 (ΔT_{J-OT})	3.5 $^\circ C/W$
LCS702 (θ_{JC})	6.6 $^\circ C/W$	LCS703 (ΔT_{J-OT})	3.2 $^\circ C/W$
LCS703 (θ_{JC})	6.2 $^\circ C/W$	LCS705 (ΔT_{J-OT})	2.8 $^\circ C/W$
LCS705 (θ_{JC})	5.9 $^\circ C/W$	LCS708 (ΔT_{J-OT}).....	2.5 $^\circ C/W$
LCS708 (θ_{JC})	5.5 $^\circ C/W$		

注:

- 両方の電源スイッチはそれぞれ総電力の半分を消費します。
- Thermalloy 社製の熱ペーストを均一に適用したアルミニウムヒートシンクに取り付けられます。30 N を超える垂直抗力を持つマウント クリップがパッケージの中心に適用されます。
- ジャンクションとケース間の熱抵抗は、最も高温のジャンクションとパッケージの裏面中央で測定したケースの温度に基づきます。
- 最も高温のジャンクションと過熱センサー間の温度差です。

ジャンクションとヒートシンク間の熱抵抗^{1), 2)}:

LCS700 (θ_{JH})	10.1 $^\circ C/W$
LCS701 (θ_{JH})	9.5 $^\circ C/W$
LCS702 (θ_{JH})	9.1 $^\circ C/W$
LCS703 (θ_{JH})	8.7 $^\circ C/W$
LCS705 (θ_{JH})	8.4 $^\circ C/W$
LCS708 (θ_{JH})	8.0 $^\circ C/W$

最も高温のジャンクションと OT センサ-間の熱オフセット^{1), 2), 4)}:

LCS700 (ΔT_{J-OT})	4.6 $^\circ C/W$
------------------------------------	------------------

パラメータ	記号	条件			最小	標準	最大	単位
		SOURCE = 0 V $T_J = -40 ^\circ C \sim 125 ^\circ C$ ^{D)} $V_{CC} = 12 V$ 、 $V_{CCH} = 12 V$ (特に指定がない場合)						
ハーフブリッジ								
オフ時電流	I_{DSS}	D から HB、または HB から S へと測定 $T_J = 100 ^\circ C$ 、 $V_{CC} = 12 V$ 、 $V_{CCH} = 12 V$ 、 $V_D = 424 V$	LCS700			60	μA	
			LCS701			60		
			LCS702			65		
			LCS703			80		
			LCS705			120		
			LCS708			200		
ブレイクダウン電圧	BV_{DSS}	$V_{CC} = 12 V$ 、 $V_{CCH} = 12 V$ 、250 μA 、 $T_J = 25 ^\circ C$ D から HB、または HB から S に対し測定	530				V	

パラメータ	記号	条件			最小	標準	最大	単位
		SOURCE = 0 V T _J = -40 °C ~ 125 °C ^(D) V _{CC} = 12 V、V _{CCH} = 12 V (特に指定がない場合)						
ハーフブリッジ (続き)								
ブレークダウン電圧温度係数	BV _{DSS(TC)}	D から HB、または HB から S に対し測定				0.2		V/°C
オン抵抗	R _{DS(ON)}	D から HB または HB から S に対し測定 V _{CC} = 12 V、 V _{CCH} = 12 V、 T _J = 25 °C	LCS700, I = 0.8 A		1.53	1.82	Ω	
			LCS701, I = 1.2 A		1.00	1.24		
			LCS702, I = 1.6 A		0.74	0.92		
			LCS703, I = 2.0 A		0.60	0.73		
			LCS705, I = 3.0 A		0.40	0.49		
			LCS708, I = 4.8 A		0.26	0.31		
オン抵抗	R _{DS(ON)}	D から HB または HB から S に対し測定 V _{CC} = 12 V、 V _{CCH} = 12 V、 T _J = 100 °C	LCS700, I = 0.8 A		2.15	2.63	Ω	
			LCS701, I = 1.2 A		1.42	1.78		
			LCS702, I = 1.6 A		1.05	1.33		
			LCS703, I = 2.0 A		0.85	1.06		
			LCS705, I = 3.0 A		0.58	0.71		
			LCS708, I = 4.8 A		0.36	0.45		
ハーフブリッジコンデンサ	C _{HB}	実効ハーフブリッジコンデンサ。 0 V から 400 V へ、または 400 V から 0 V へ振幅する V _{HB} 、 注 A を参照	LCS700		134		pF	
			LCS701		201			
			LCS702		268			
			LCS703		335			
			LCS705		503			
			LCS708		804			
ダイオード順方向電圧	V _{FWD}	HB から D、または S から HB に対し測定 T _J = 125 °C	LCS700, I = 0.8 A		1.15		V	
			LCS701, I = 1.2 A		1.15			
			LCS702, I = 1.6 A		1.15			
			LCS703, I = 2.0 A		1.15			
			LCS705, I = 3.0 A		1.15			
			LCS708, I = 4.8 A		1.15			
電源								
VCC 供給電圧範囲	V _{CC}	注 C 参照			11.4	12	15	V
VCCH 供給電圧範囲	V _{CCH}	注 C 参照			11.4	12	15	V
起動電流	I _{CC(OFF)}	低電圧ロックアウト: V _{CC} = 7 V				120	170	μA
制御電流	I _{CC(INHIBIT)}	V _{CC} = 12 V、OV/UV < V _{SD(L)}				450	650	μA
VCC 動作電流	I _{CC(ON)}	通常 V _{CC} = 12 V 最大 V _{CC} = 15 V (300 kHz で計測)、HB オープン及び V _D = 15 V	LCS700		2.8	5.2	mA	
			LCS701		3.3	5.8		
			LCS702		3.8	6.5		
			LCS703		4.2	7.1		
			LCS705		5.4	8.8		
			LCS708		7.4	11.8		
VCCH 動作電流	I _{CCH(ON)}	通常 V _{CCH} = 12 V 最大 V _{CCH} = 15 V (300 kHz で計測)、HB オープン及び V _D = 15 V	LCS700		2.4	4.6	mA	
			LCS701		2.9	5.2		
			LCS702		3.3	5.8		
			LCS703		3.7	6.4		
			LCS705		4.8	7.9		
			LCS708		6.8	10.7		

パラメータ	記号	条件 SOURCE = 0 V $T_J = -40\text{ }^\circ\text{C} \sim 125\text{ }^\circ\text{C}^{(D)}$ $V_{CC} = 12\text{ V}, V_{CCH} = 12\text{ V}$ (特に指定がない場合)	最小	標準	最大	単位
VCCH 供給低電圧ロックアウト						
VCC 起動スレッシュ ホールド	$V_{UVLO(+)}$	V_{CC} が UVLO + を上回ると、デバイスは UVLO 状態を終了する。 $T_J = 0 \sim 100\text{ }^\circ\text{C}$	10	10.5	11.4	V
VCC シャットダウン スレッシュホールド	$V_{UVLO(-)}$	V_{CC} が UVLO + を下回ると、デバイスは UVLO 状態になる。 $T_J = 0 \sim 100\text{ }^\circ\text{C}$	9.1	9.5	10.5	V
VCC 起動/シャット ダウン ヒステリシス	$V_{UVLO(HYST)}$	$T_J = 0 \sim 100\text{ }^\circ\text{C}$	0.7	1.0	1.2	V
VCCH 起動スレッシュ ホールド	$V_{UVLO(H+)}$	V_{CCH} が UVLOH + を上回ると、ドライバは UVLO 状態を終了する	8.2	8.5	8.9	V
VCCH シャットダウン スレッシュホールド	$V_{UVLO(H-)}$	V_{CCH} が UVLOH - を下回ると、ドライバは UVLO 状態になる	7.2	7.5	7.9	V
VCCH 起動/シャットダ ウン ヒステリシス	$V_{UVLO(H)HYST}$		0.8	1.0	1.2	V
高電圧電源の低電圧/過電圧動作						
OV/UV 過電圧シャットダ ウン スレッシュホールド	$V_{OV(H)}$	過電圧動作スレッシュホールド	129	131	133	% of $V_{SD(H)}$
OV/UV 過電圧回復ス レッシュホールド	$V_{OV(L)}$	過電圧復帰スレッシュホールド	124	126	128	% of $V_{SD(H)}$
OV/UV 低電圧起動ス レッシュホールド	$V_{SD(H)}$	低電圧起動スレッシュホールド	2.35	2.40	2.45	V
OV/UV 低電圧シャットダ ウン スレッシュホールド	$V_{SD(L)}$	低電圧停止スレッシュホールド	77	79	81	% of $V_{SD(H)}$
OV/UV ピン入力抵抗	$R_{IN(OVUV)}$	G に対する OV/UV ピン抵抗 $T_J = 25\text{ }^\circ\text{C}$	4.0	5.0	6.0	M Ω
OV/UV ピン入力抵抗 温度係数	$R_{IN(OVUVTC)}$			-0.4		%/ $^\circ\text{C}$
リファレンス						
基準電圧	V_{REF}	$I_{REF} = 4\text{ mA}$	3.20	3.40	3.50	V
VREF ピンの電流源容量	I_{REF}				4	mA
V_{REF} 容量	C_{REF}	VREF ピンで必要な外部カップリング	1			μF
LLC 発振器						
周波数範囲	F_{RANGE}		25		1000	kHz
最小周波数制御の精度	$F_{MIN(ACC)}$	$R_{FB} = 37.9\text{ k}\Omega \sim V_{REF}, 180\text{ kHz}$	-5.0		5.0	%
	$F_{MIN(ACL)}$	$R_{FB} = 154\text{ k}\Omega \sim V_{REF}, 48\text{ kHz}$ $T_J = 25\text{ }^\circ\text{C}$	-7.5		7.5	
最大周波数制御の精度	$F_{MAX(ACC)}$	$I_{FB} = I_{DT/BF}, R_{FMAX} = 12.5\text{ k}\Omega,$ $F_{MAX} = 510\text{ kHz}, T_J = 0 \sim 100\text{ }^\circ\text{C}$	-7.5		7.5	%
デューティ バランス	D_{LLC}	ハーフブリッジ波形のデューティの対称性、 $C_{FB} = 4.7\text{ nF}, C_{DT/BF} = 4.7\text{ nF}, 250\text{ kHz}$ 推奨レイアウトを使用	49		51	%
デッドタイム ^B	t_D	$R_{FMAX} = 7\text{ k}\Omega, R_{BURST} = 39.6\text{ k}\Omega$		330		ns
DT/BF 制御電流レンジ	$I_{DT/BF}$		30		430	μA

パラメータ	記号	条件 SOURCE = 0 V $T_J = -40\text{ }^\circ\text{C} \sim 125\text{ }^\circ\text{C}^{(D)}$ $V_{CC} = 12\text{ V}, V_{CCH} = 12\text{ V}$ (特に指定がない場合)	最小	標準	最大	単位
LLC 発振器 (続き)						
LLC スイッチングを停止する I_{FB} スレッシュホールド	I_{STOP1}	スレッシュホールドは、バースト設定 BT1 のソフトスタート モード終了時に適用される		52.0		% of $I_{DT/BF}$
	I_{STOP2}	スレッシュホールドは、バースト設定 BT2 のソフトスタート モード終了時に適用される		46.0		
	I_{STOP3}	スレッシュホールドは、バースト設定 BT3 のソフトスタート モード終了時に適用される		39.0		
I_{FB} スレッシュホールドヒステリシス	$I_{BURST(HYST)}$	$I_{START} = I_{STOP}, I_{BURST(HYST)}$ 以下	5	6.8	8	% of $I_{DT/BF}$
バースト設定をプログラムする DT/BF 電圧	V_{BT1}	バースト設定 BT1 を有効化するために、起動時に必要な $V_{DT/BF}$	93.5	95	96.3	% of V_{REF}
	V_{BT2}	バースト設定 BT2 を有効化するために、起動時に必要な $V_{DT/BF}$	88.5	90	91.3	
	V_{BT3}	バースト設定 BT3 を有効化するために、起動時に必要な $V_{DT/BF}$	83.5	85	86.3	
R_{FMAX} , R_{BURST} 及び DT/BF 上のデカップリングコンデンサの組み合わせの時定数	$RC_{DT/BF}$	バースト モードの正しい設定を保証するために、この時定数は指定した最大値を下回る必要がある			100	μs
フィードバック最大電流	I_{FB}	I_{FB} によって設定できる最大制御周波数を決定する		100		% $I_{DT/BF}$
フィードバック制御電流レンジ	I_{FB}	I_{FB} は、DT/BF への電流で制限される	15		430	μA
フィードバック仮想電圧	V_{FB}	FB 入力は、 V_{FB} と直列した $R_{IN(FB)}$ として表示される、 $30\text{ }\mu\text{A} < I_{FB} < I_{DT/BF}$		0.65		V
フィードバック入力抵抗	$R_{IN(FB)}$	FB 入力は、 V_{FB} と直列した $R_{IN(FB)}$ として表示される、 $30\text{ }\mu\text{A} < I_{FB} < I_{DT/BF}$		2.5		k Ω
ソフトスタート時のフィードバック入力抵抗	$R_{FB(SS)}$	ソフトスタートのデレー間隔、あるいは OV/UV $< V_{SD}$ または OV/UV $> V_{OV}$ の時、FB 入力は、 V_{REF} と直列した $R_{FB(SS)}$ として表示される		750		Ω
過電流保護						
高速過電流検出電圧スレッシュホールド ⁴	$V_{IS(F)}$		0.855	0.905	0.955	V
低速過電流検出電圧スレッシュホールド ⁴	$V_{IS(S)}$	7 LLC クロック サイクル デバウンス	0.455	0.505	0.555	V
過電流検出パルス幅	t_{IS}	最小時間 V_{IS} がサイクルごとに $V_{IS(F)}, V_{IS(S)}$ を上回ると、回路保護がトリガされる		30		ns
過熱保護						
過熱シャットダウン スレッシュホールド ^A	T_{OT}			125		$^\circ\text{C}$

注:

A. 標準値を参照して設計してください。

B. 共振 ZVS 条件における HB ピンでの標準的なデッドタイムです。

C. データシート電力テーブルで指定された電力容量を達成するための VCC/VOCH 動作範囲です。

D. 動作は過熱シャットダウンで制限される場合があります。

標準パフォーマンス特性

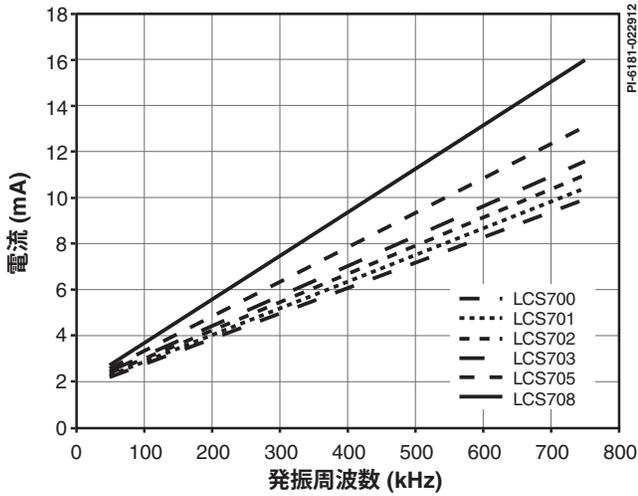


図 27. V_{CC} 電流対発振周波数

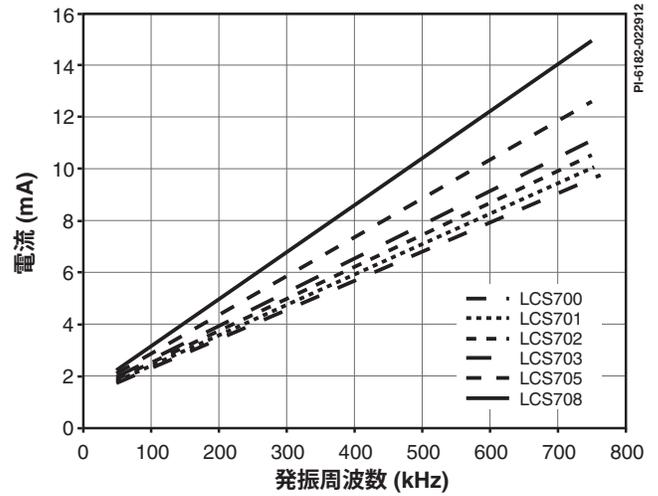


図 28. V_{CH} 電流対発振周波数

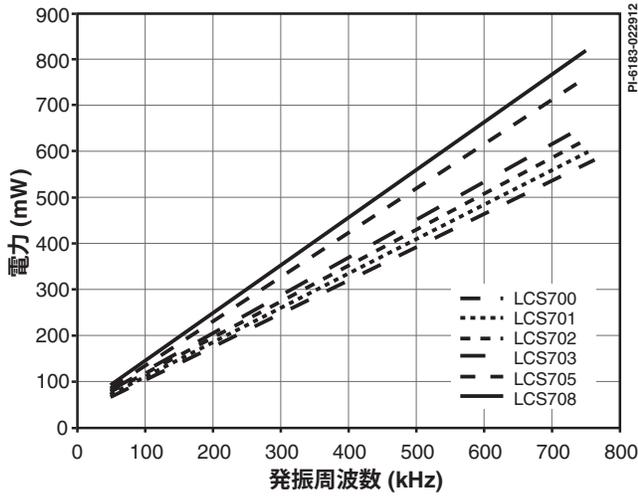


図 29. 制御電源対発振周波数

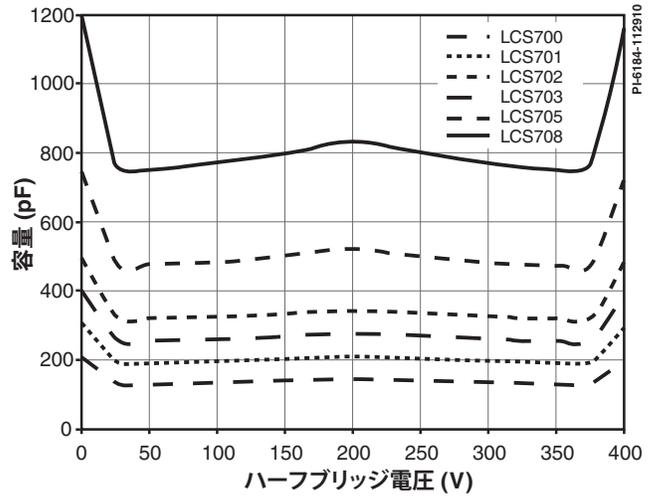


図 30. ハーフブリッジ小信号容量対ハーフブリッジ電圧

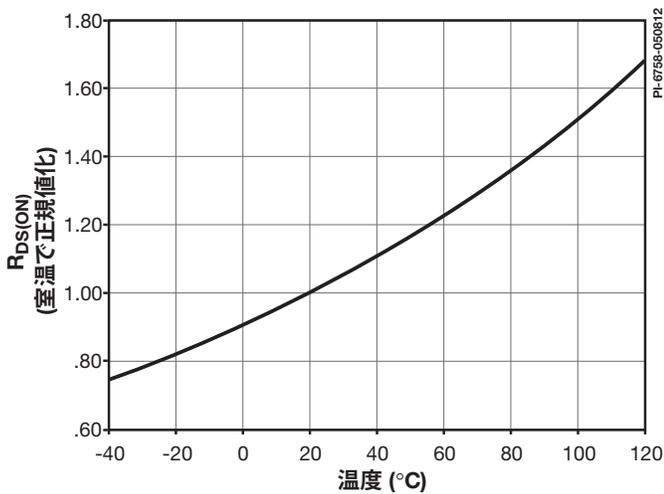


図 31. 正規化 $R_{DS(ON)}$ 対温度

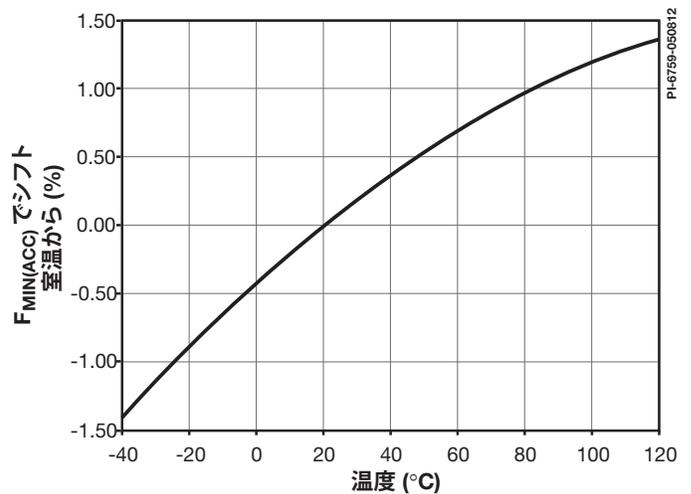


図 32. 一般的な $F_{MIN(ACC)}$ シフト対温度

標準パフォーマンス特性

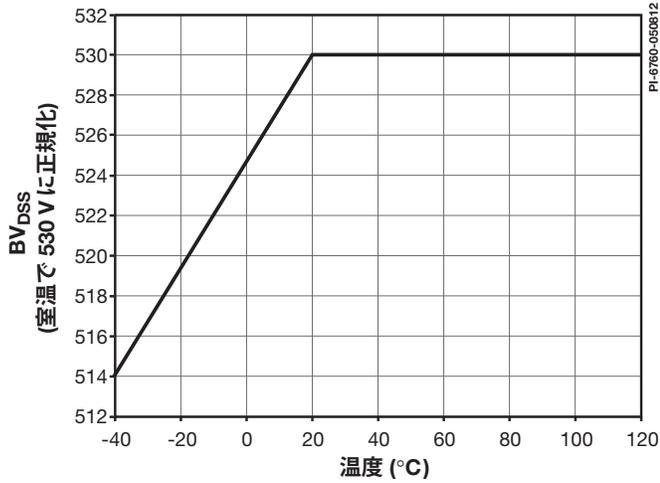


図 33. 正規化 BV_{DSS} 対温度

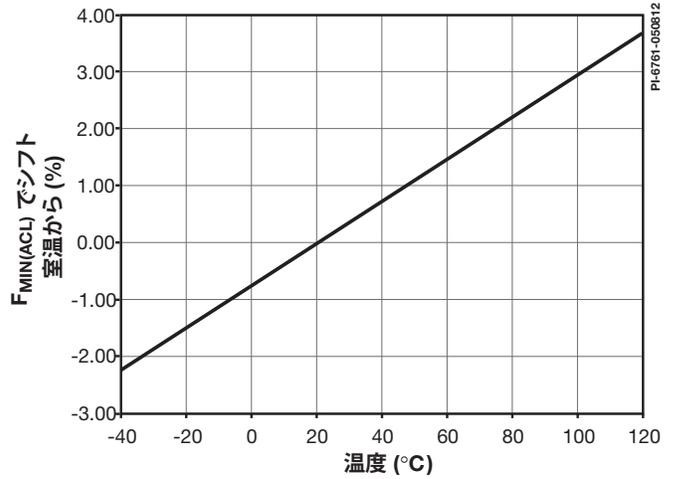


図 34. 一般的な $F_{MIN(ACL)}$ 対温度

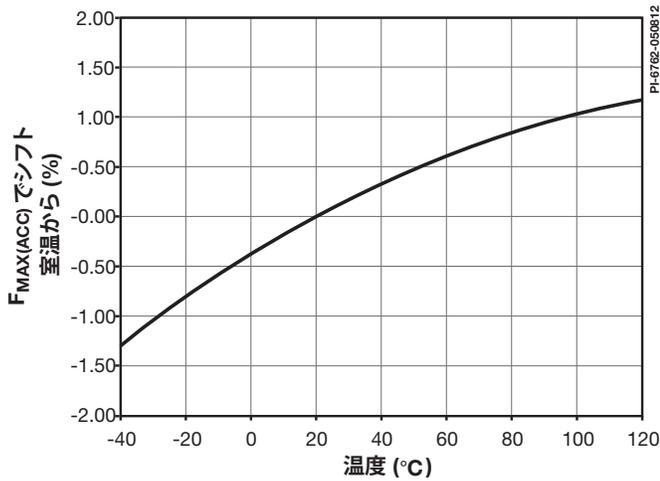


図 35. 一般的な $F_{MAX(ACC)}$ 対温度

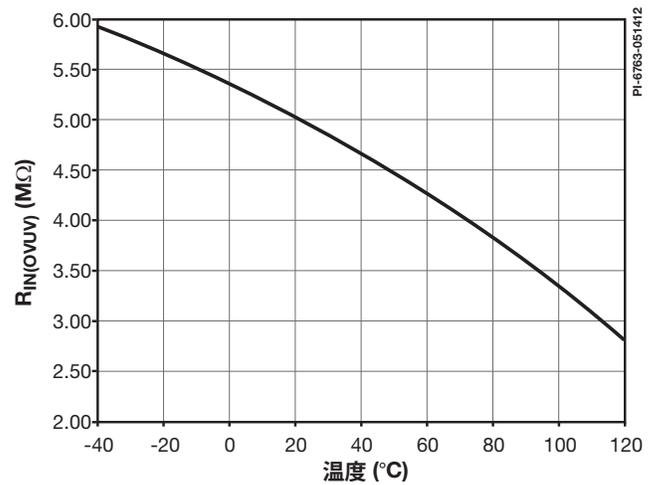


図 36. 一般的な $R_{IN(OVUV)}$ 対温度

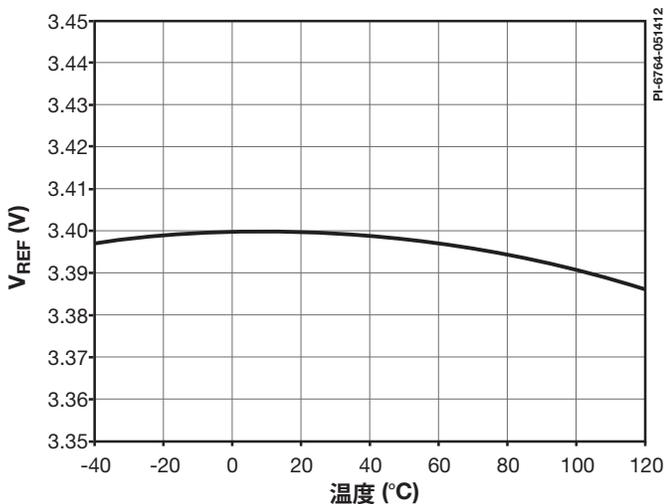


図 37. 一般的な V_{REF} 対温度

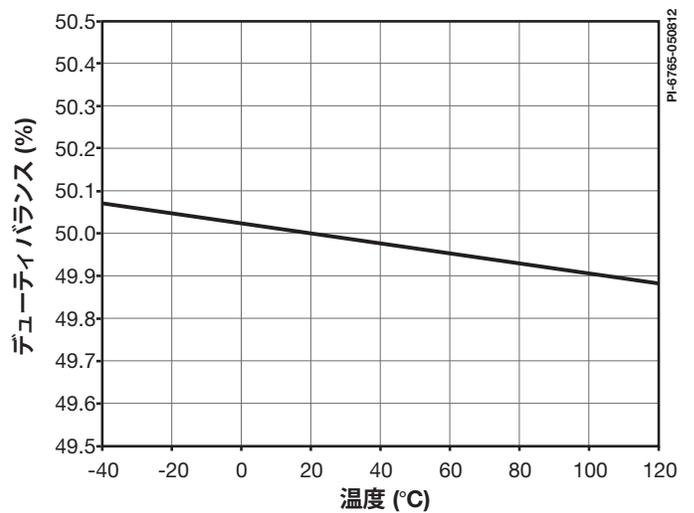


図 38. 一般的なデューティバランス対温度

標準パフォーマンス特性

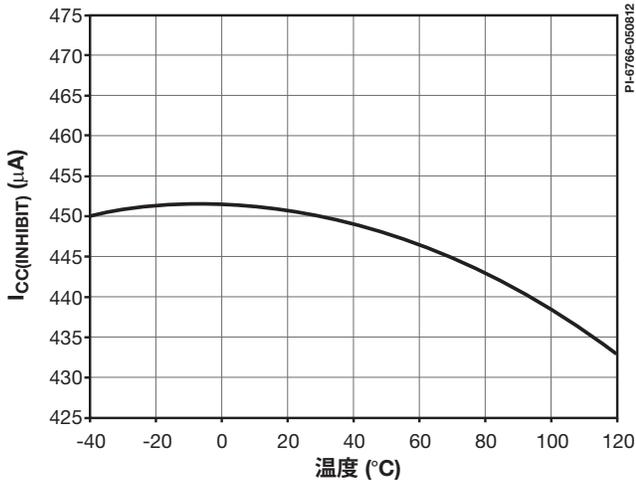


図 39. 一般的な $I_{CC(INHIBIT)}$ 対温度

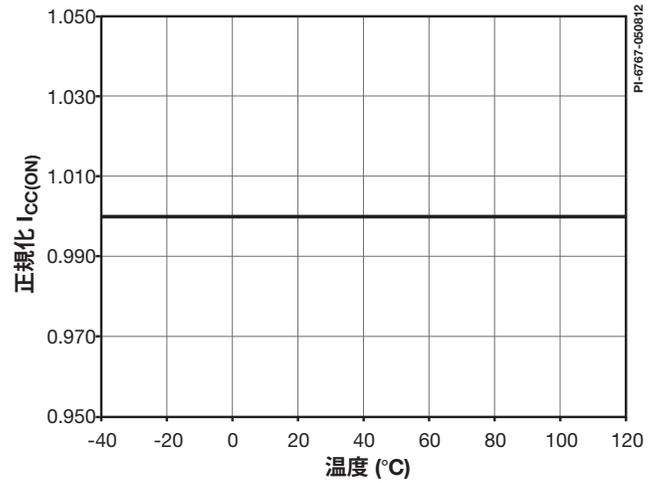


図 40. 正規化 $I_{CC(ON)}$ 対温度

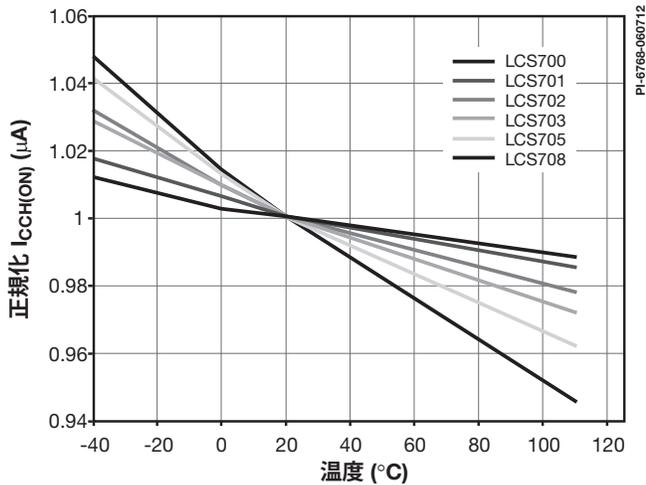


図 41. 一般的な $I_{CCH(ON)}$ 対温度 (正規化温度と室温)

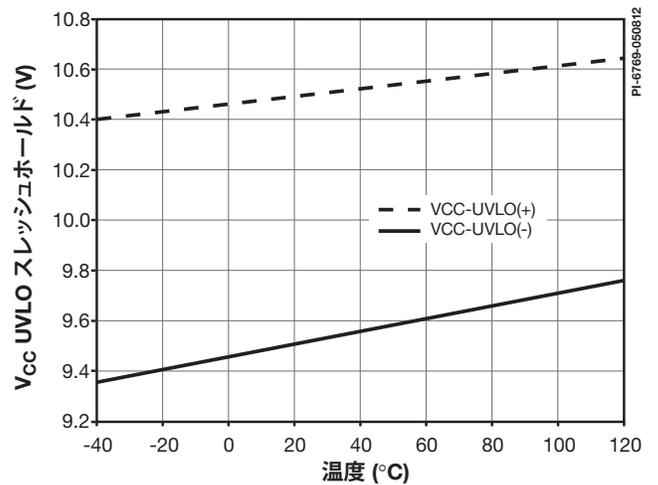


図 42. 一般的な V_{CC} UVLO 対温度

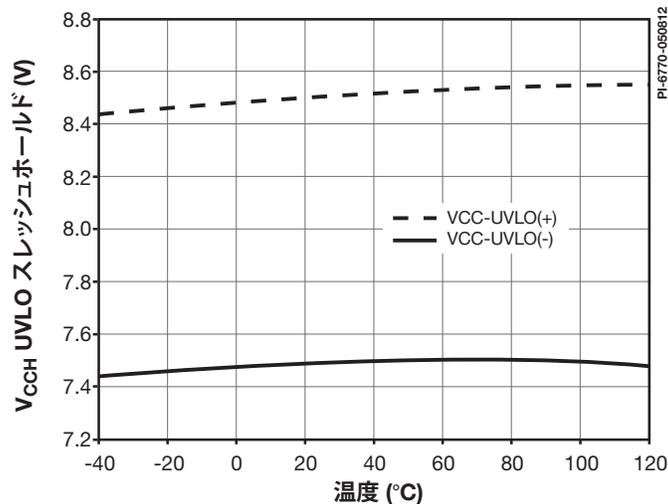
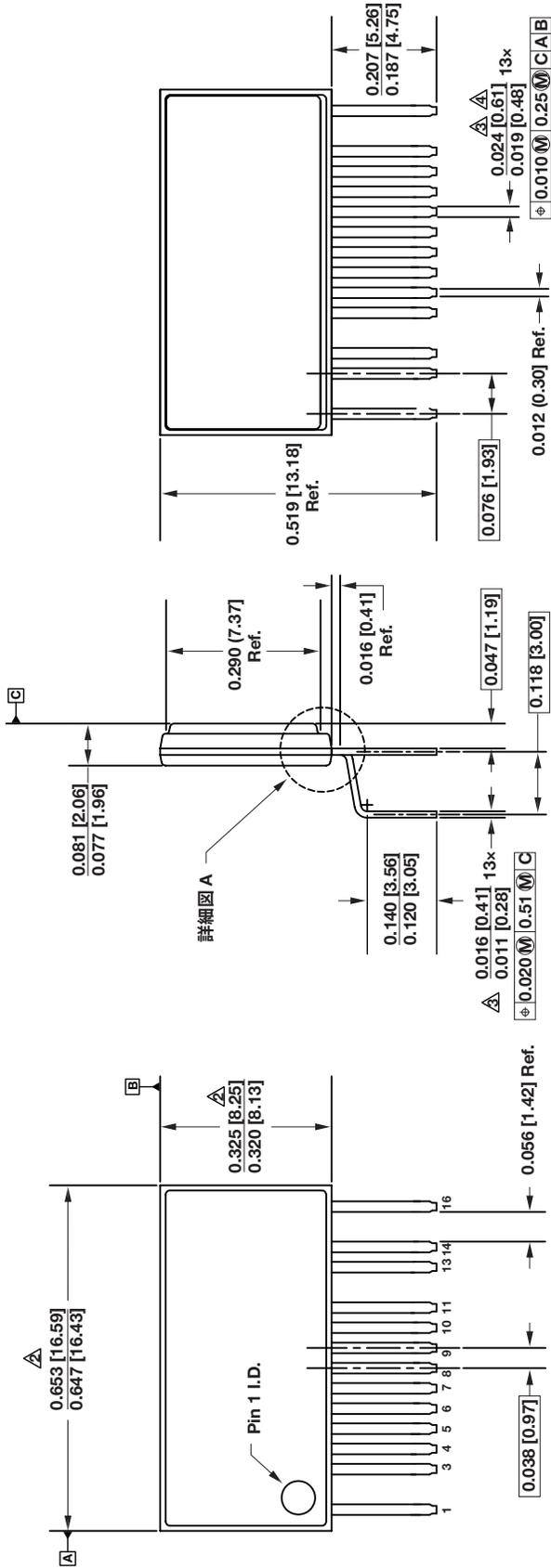


図 43. 一般的な V_{CCH} UVLO 対温度

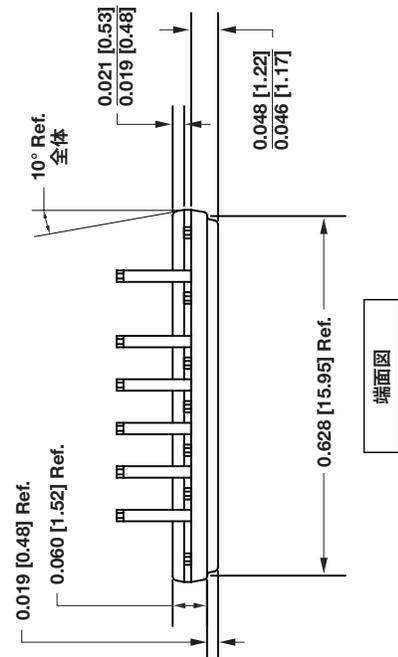
eSIP-16J (H パッケージ)



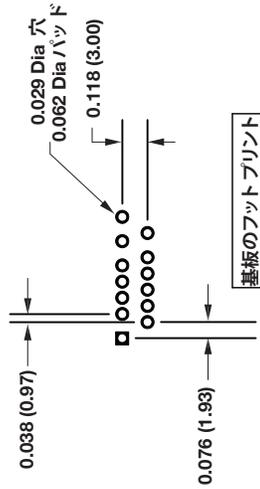
前面図

側面図

背面図



端面図



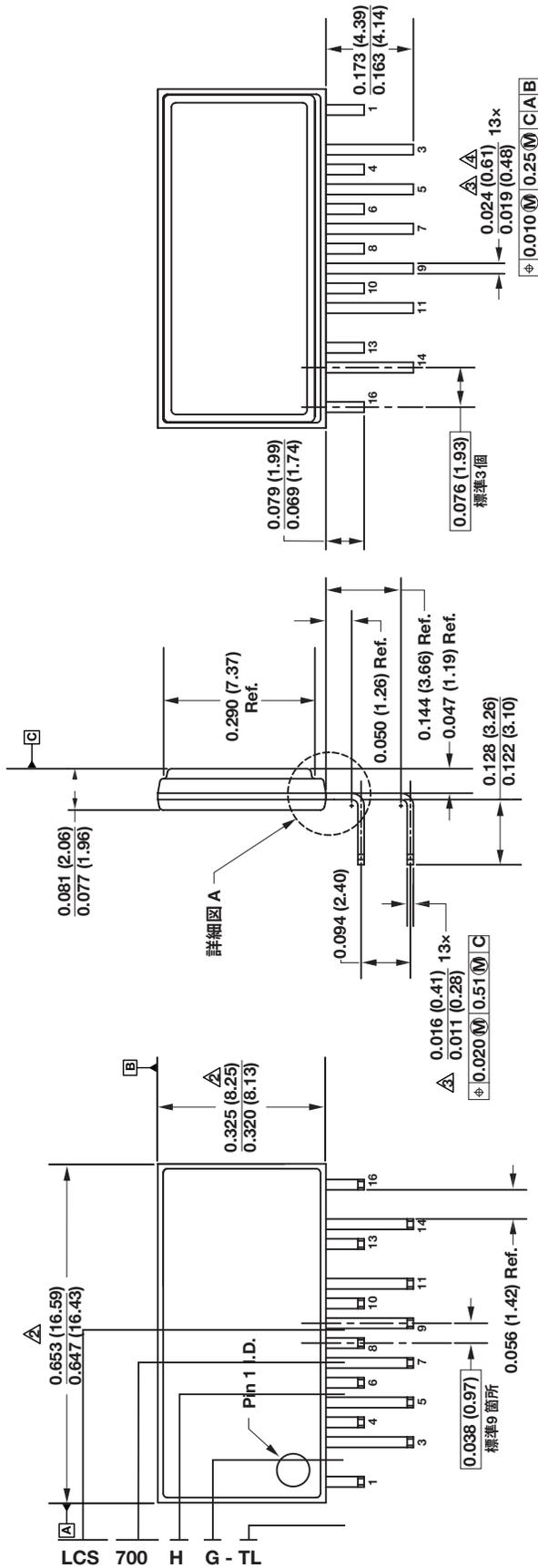
基板のフットプリント

寸法の単位はインチ (mm) です。
すべての寸法は基準値です。

- 注 1. ASME Y14.5M-1994 ごとの寸法及び許容誤差。
 図示した寸法は、プラスチック製本体の最外部で判断していただきます。これには、金型の鑄バリ、タイマーの鑄バリ、ゲートのバリ、及びインターリードの鑄バリは含まれません。プラスチック製本体の上部及び下部の間のずれを含みます。最大金型突起は、側面ごとに 0.007 [0.18] です。
 図示した寸法は、メッキ厚を含みます。
 リード間の鑄バリまたは突起を含みません。
 5. 寸法の単位はインチ (mm) です。

詳細図 A (縮尺 = 9x)

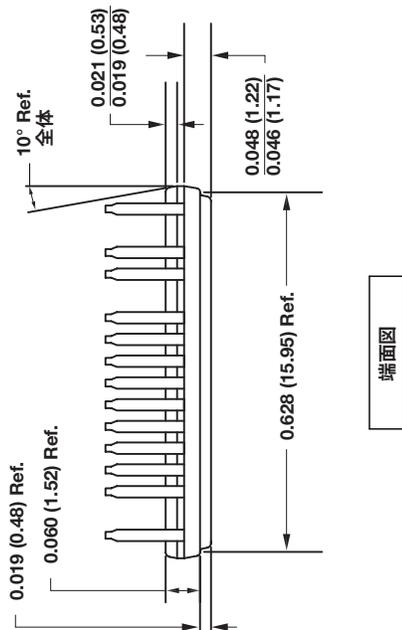
eSIP-16K (Lパッケージ)



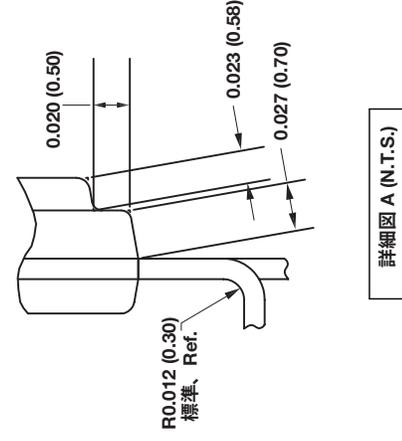
前面図

側面図

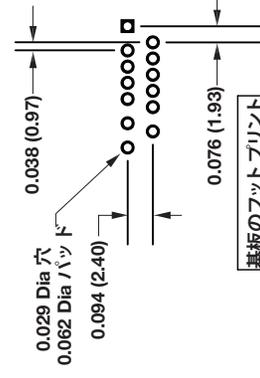
背面図



端面図



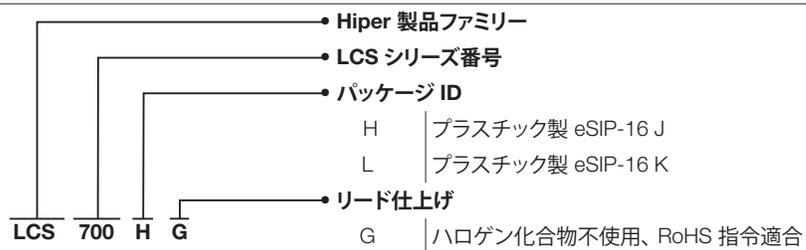
詳細図 A (N.T.S.)



寸法の単位はインチ (mm) です。
すべての寸法は基準値です。

- 注:
- ASME Y14.5M-1994 などの寸法及び許容誤差。
図示した寸法は、プラスチック製本体の最外部で判断していただきます。これには、金型の鑄バリ、タイバーのバリ、ゲートのバリ、及びインタリードの鑄バリは含まれません。プラスチック製本体の上部及び下部の間のずれを含みます。最大金型突起は、側面ごとに 0.007 [0.18] です。
 - 図示した寸法は、メッキ厚を含みます。
 - インタリードの鑄バリまたは突起を含みません。
 - 寸法の単位はインチ (mm) です。

品番コード体系表



改訂	注	日付
B	初回リリース。	06/20/11
C	L ベンド部品を追加。	02/12
C1	背面メタル H パッケージ オプションを削除。	06/12
D	未導入。	
E	オーバーモールド変更、拡張温度変更。	06/12
E	BV _{DSS(TC)} ユニットを変更、ジャンクション温度範囲、注 7 を追加。	08/30/12

最新の情報については、弊社ウェブサイト www.powerint.com を参照してください。

Power Integrations は、信頼性または生産性を向上させるために、いつでも製品を変更する権利を保持します。Power Integrations は、ここに記載した機器または回路を使用したことから生じる事柄について責任を一切負いません。Power Integrations は、ここでは何らの保証もせず、商品性、特定目的に対する適合性、及び第三者の権利の非侵害の黙示保証なども含めて、すべての保証を明確に否認します。

特許情報

ここで例示した製品及びアプリケーション (製品の外付けトランス構造と回路も含む) は、米国及び他国の特許の対象である場合があります。また、潜在的に、Power Integrations に譲渡された米国及び他国の出願中特許の対象である場合があります。Power Integrations の持つ特許の完全なリストは、www.powerint.com に掲載される予定です。Power Integrations は、<http://www.powerint.com/ip.htm> に定めるところに従って、特定の特許権に基づくライセンスを顧客に許諾します。

生命維持に関する方針

Power Integrations の社長の書面による明示的な承認なく、Power Integrations の製品を生命維持装置またはシステムの重要な構成要素として使用することは認められていません。ここで使用した用語は次の意味を持つものとします。

- 「生命維持装置またはシステム」とは、(i) 外科手術による肉体への植え込みを目的としているか、または (ii) 生命活動を支援または維持するものであり、かつ (iii) 指示に従って適切に使用したときに動作しないと、利用者に深刻な障害または死をもたらすと合理的に予想されるものです。
- 「重要な構成要素」とは、生命維持装置またはシステムの構成要素のうち、動作しないと生命維持装置またはシステムの故障を引き起こすか、あるいは安全性または効果に影響を及ぼすと合理的に予想される構成要素です。

PI ロゴ、TOPSwitch、TinySwitch、LinkSwitch、LYTSwitch、DPA-Switch、PeakSwitch、CAPZero、SENZero、LinkZero、HiperPFS、HiperTFS、HiperLCS、Qspeed、EcoSmart、Clampless、E-Shield、Filterfuse、StakFET、PI Expert 及び PI FACTS は Power Integrations, Inc. の商標です。その他の商標は、各社の所有物です。©2012, Power Integrations, Inc.

Power Integrations の世界各国の販売サポート担当

世界本社

5245 Hellyer Avenue
San Jose, CA 95138, USA.
代表: +1-408-414-9200
カスタマー サービス:
電話: +1-408-414-9665
ファックス: +1-408-414-9765
電子メール:
usasales@powerint.com

中国 (上海)

Rm 1601/1610, Tower 1,
Kerry Everbright City
No. 218 Tianmu Road West,
Shanghai, P.R.C. 200070
電話: +86-21-6354-6323
ファックス: +86-21-6354-6325
電子メール:
chinasales@powerint.com

中国 (深圳)

3rd Floor, Block A,
Zhongtou International Business
Center, No. 1061, Xiang Mei Rd,
FuTian District, ShenZhen,
China, 518040
電話: +86-755-8379-3243
ファックス: +86-755-8379-5828
電子メール:
chinasales@powerint.com

ドイツ

Lindwurmstrasse 114
80337 Munich
Germany
電話: +49-895-527-39110
ファックス: +49-895-527-39200
電子メール:
eurossales@powerint.com

インド

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
電話: +91-80-4113-8020
ファックス: +91-80-4113-8023
電子メール:
indiasales@powerint.com

イタリア

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI)
Italy
電話: +39-024-550-8701
ファックス: +39-028-928-6009
電子メール:
eurossales@powerint.com

日本

〒222-0033
神奈川県横浜市
港北区新横浜 2-12-11
光正第 3 ビル
電話: +81-45-471-1021
ファックス: +81-45-471-3717
電子メール:
japansales@powerint.com

韓国

RM 602, 6 FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
電話: +82-2-2016-6610
ファックス: +82-2-2016-6630
電子メール:
koreasales@powerint.com

シンガポール

51 Newton Road
#15-08/10 Goldhill Plaza
Singapore, 308900
電話: +65-6358-2160
ファックス: +65-6358-2015
電子メール:
singaporesales@powerint.com

台湾

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei, Taiwan 114, R.O.C.
電話: +886-2-2659-4570
ファックス: +886-2-2659-4550
電子メール:
taiwansales@powerint.com

ヨーロッパ本社

1st Floor, St. James's House
East Street, Farnham
Surrey GU9 7TJ
United Kingdom
電話: +44 (0) 1252-730-141
ファックス: +44 (0) 1252-727-689
電子メール:
eurossales@powerint.com

アプリケーション ホットライン

世界共通 +1-408-414-9660

アプリケーション ファックス

世界共通 +1-408-414-9760